

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 29/786(11) 공개번호 특2001-0071526
(43) 공개일자 2001년07월28일

(21) 출원번호	10-2000-7014439	(87) 국제공개번호	WO 2000/02251
(22) 출원일자	2000년12월19일	(87) 국제공개일자	2000년01월13일
번역문 제출일자	2000년12월19일		
(86) 국제출원번호	PCT/JP1999/03644		
(86) 국제출원출원일자	1999년07월05일		

(81) 지정국 국내특허 : 중국, 대한민국, 미국,
 EP 유럽특허: 독일, 프랑스, 영국,

(30) 우선권주장 98-190060 1998년07월06일 일본(JP)
 99-46226 1999년02월24일 일본(JP)
 99-46227 1999년02월24일 일본(JP)
 99-46228 1999년02월24일 일본(JP)

(71) 출원인 마쯔시다덴기산교 가부시키키가이샤
 모리시타 요이찌
 일본국 오사카후 가도마시 오아자 가도마 1006번지

(72) 발명자 오가와카즈후미
 일본국 나라젠 나라시아오야마2-3-50
 아다치카즈야스
 일본국 효고현 코베시 나다쿠 히에하라초4-2-15

(74) 대리인 특허법인 원전 임석재
 특허법인 원전 민병호

심사청구 : 있음

(54) 박막 트랜지스터와 액정표시장치

요약

대화면의 액정표시장치의, 특히 구동회로부용으로, 고성능인 박막 트랜지스터를 제공한다. 게이트 전극과의 열라인먼트의 어긋남이 없고, 더욱이 불순물의 주입에 의한 손상이 없는 바텀 게이트형 박막 트랜지스터를 제공한다. 그 때문에, 다결정 실리콘 박막의 결정립을 게이트 길이방향과 특징의 각도를 아무도록 이방성 성장시킨다. 액정표시장치의 용도에 따라, 게이트 길이방향과 결정립의 길이방향과의 각도를 변화시킨다. 입자의 이방성장의 수단으로서, 레이저 빔의 형상,

에너지 밀도분포, 주사방향이 제어되고 조정된다. 박막 게이트형 트랜지스터에 있어서, 기판상에 불순물을 함유하는 기초 절연층을 형성한다. 그리고, 비정질 실리콘의 레이저 어닐링 시에 기초층으로부터 불순물을 반도체층에 확산시킨다.

대표도

도 5

명세서

기술분야

본 발명은, 소스(source) 영역이나 드레인(drain) 영역을 구성하는 능동층(能動層)으로서 다결정 실리콘 박막을 이용한 박막 트랜지스터(TFT) 및 그 TFT를 이용한 액정표시장치(LCD)에 관한 것이다.

배경기술

근래, 보다 고속의 표시가 가능한 액정표시장치가 요구되어 오고 있으며, 이 요구를 만족하기 위한 1개의 수단으로서, 액정층을 제어하는 스위칭용 박막 트랜지스터의 게이트(gate) 영역, 소스 영역, 드레인 영역 등의 능동층을 종래 비정질(아모르퍼스) 실리콘 박막으로부터 다결정 실리콘으로 하는 것이 행해지고 있다. 이것은 다결정 실리콘 중의 캐리어의 이동도(移動度)가 비정질 실리콘 중의 그것보다 원리상 높은 것에 주목한 것이다.

또, 캐리어 이동도가 높은 다결정 실리콘 박막을 절연성 기판 위에 형성하는 것과 더불어, 종래와 같이 액정표시부의 구동회로를 단결정 실리콘을 능동층으로 하는 반도체칩의 바깥에 부착시키지 않고, 이것을 처음부터 동일 기판 위 화소부(畫素部)의 테두리 부분에 다결정 실리콘 박막을 능동층으로 하는 박막 트랜지스터에 의해 동시에 형성하는 것도 행해지고 있다.

이하, 소위 주지기술이지만 본 발명의 취지에 관계되기 때문에, 비정질 실리콘 박막을 유리기판 등의 투명성 절연기판상에 형성한 후, 이 비정질 실리콘을 다결정화하여 박막 트랜지스터를 형성하는 공정과, 이 다결정 실리콘 박막의 능동층을 가지는 박막 트랜지스터를 이용한 액정표시장치의 제조방법에 관하여, 도면을 참조하면서 간단히 설명한다.

도 1은, 종래의 다결정 실리콘 박막을 능동층으로서 이용한 박막 트랜지스터의, 제조의 진전에 따른 단면 변화의 모양을 나타낸 것이다. 또, 실제로는 기판상의 액정표시부의 배치에 따라, 화소용 및 그 구동 회로용의 다수의 박막 반도체가 상하 좌우 몇개의 열(列), 몇개의 단(段)에도 배치되어 형성되게 되어 있으나, 이는 자명한 사항이고, 더욱이 그 모양을 나타내는 것은 번잡해지기도 하므로, 본 도면에서는 1개의 박막 반도체만을 나타내고 있다.

본 도면에서, 1은 유리(glass) 등 투명성을 가지는 절연기판이다. 2는, 열처리를 행한 경우에 절연기판(1) 중에 함유되는 알칼리 금속 등이 실리콘 박막으로 구성된 능동층으로 확산하여 악영향을 미치는 것을 방지하기 위한 버퍼층(buffer層)이다. 3은 비정질 실리콘 박막이다. 4는 다결정 실리콘 박막이다. 5는 예컨대 SiO_2 와 Si_3N_4 의 적층막으로 구성된 게이트 절연막(층)이다. 6은 게이트 전극이다. 7은 채널(channel) 영역이다. 8은 소스 영역이다. 9는 드레인 영역이다. 10은 콘택트 홀(contact hole)이다. 11은 소스 전극이다. 12는 드레인 전극이다.

이하, 본 도면에 기초하여 다결정 실리콘 박막을 박막 트랜지스터의 능동층으로서 이용한 박막 트랜지스터의 제조방법을 차례로 설명한다.

(a) 절연기판(1) 상에 버퍼층(2)을 매개로 비정질 실리콘 박막(3)을 퇴적시킴에 의해 형성한다.

(b) 비정질 실리콘 박막(3)에 대하여 열처리를 행하고, 실리콘의 다결정화 처리를 행한다. 구체적으로는, 액시머 레이저를 비정질 실리콘 박막(3)에 조사하고, 순간적으로 비정질 실리콘을 용융하며, 냉각과 함께 결정화시키는, 소위 레이저 어닐링(laser annealing)을 행하여 다결정 실리콘 박막(4)을 얻는다. 그 후, 기판상 다결정 실리콘 박막(4)의 불필요한 부분을 제거하고, 그 위에 게이트 절연막(5) 및 게이트 전극(6)을 순차적으로 형성한다.

이 상태에서, 박막 트랜지스터의 소스 영역 및 드레인 영역을 형성하고, 채널 영역(7)에는 불순물이 박혀 들어가지 않도록 적어도 게이트 전극(6)을 마스크로 하고, 또 필요에 따라 레지스트를 함께 사용하며, 기판 상부로부터 다결정 실리콘 박막(4)의 도전형(導電型)을 결정하는 인(P)이나 붕소(B) 등의 불순물을 다결정 실리콘 박막(4)에 도입한다. 또, 이러한 도입에 있어서, 통상은 P나 B의 이온을 높은 전압으로 가속하여 주입하는 것이 행해지고 있다. 또, 도면에서는 P 이온을 나타내고 있다.

(c) 재차(再次) 엑시머 레이저를 다결정 실리콘 박막(4)에 조사하여 열처리에 의한 불순물의 활성화 처리를 행함으로써, 소스 영역(8) 및 드레인 영역(9)을 형성한다.

(d) 콘택트 홀(10)을 형성하고, 그 내부에 금속을 묻어 넣음으로써, 소스 전극(11) 및 드레인 전극(12)을 형성한다.

다음, 도 1에 나타낸 박막 트랜지스터는, 게이트 전극에 대하여 기판측에 게이트 절연층이 존재하는 소위 탑 게이트(top gate)로 일컬어지는 형(型)이지만, 액정표시장치용의 박막 트랜지스터로는, 탑 게이트형 외에 게이트 전극에 대하여 기판과 반대측에 게이트 절연층이 존재하는 바텀 게이트형이라 일컬어지는 것이 있다.

그런데, 바텀 게이트형의 장점은, 유리기판 등의 기초(下地)로부터 채널 영역에 이물(異物)이 확산되는 것을 게이트 금속전극에 의해 거의 완전히 방지할 수 있다는 것에 있다. 그러나, 이 구조에서는, 소스 영역과 드레인 영역을 형성하는 불순물의 확산은 비교적 두꺼운 기판측으로부터는 행할 수 없기 때문에 실리콘층 형성 후 실리콘층 쪽에서부터 행하게 된다. 이 때문에, 채널 영역 형성의 셀프 얼라인먼트(self alignment)가 불가능하거나 곤란하다. 따라서, 게이트 용량이 커지는 등 트랜지스터 특성이 악화된다.

한편, 탑 게이트형의 장점은, 소스 영역과 드레인 영역을 형성하는 불순물의 주입은 실리콘층의 형성후 게이트 전극 쪽으로부터 게이트 전극을 마스크로 해서 행하기 때문에, 채널 영역 형성의 셀프 얼라인먼트가 가능하게 되는 것에 있다. 그러나, 이 구조에서는 채널 영역 하부에 게이트 금속이 없기 때문에, 특히 후의 열처리시에 유리기판 등 기초로부터 채널 영역으로의 이물(異物)의 확산을 완전히 방지할 수 없거나 곤란하다. 그 대책으로서, 기판상의 기초 절연막층을 비교적 두껍게 하면, 이번에는 기판이 휘는 등 여러 문제가 발생된다.

이하, 종래의 바텀 게이트형의 박막 트랜지스터와 그 제조방법에 관하여 도면을 참조하면서 구체적으로 설명한다.

도 2는, 종래의 바텀 게이트형의 박막 트랜지스터의 제조공정의 전진과 함께 단면이 형성되어 가는 모양을 나타낸 것이다. 본 도면에서, 1은 유리 등으로 구성되는 투명상 절연기판이다. 5b는 SiO_2 등으로 구성되는 게이트 절연층이다. 6b는 게이트 전극이다. 7b는 실리콘 반도체층 중의 채널 영역이다. 8b는 실리콘 반도체층 중의 소스 영역이다. 9b는 실리콘 반도체층 중의 드레인 영역이다. 30은 포토 레지스트(photo resister)이다. 5c는 층간 절연층이다. 11b는 소스 전극이다. 12b는 드레인 전극이다.

이하, 도 2를 기초로 그 제조방법을 설명한다.

(a) 투명 절연성 기판(1) 상에 게이트 전극(6b)을 형성한 다음, 그 상부를 덮어서 게이트 절연층(5b)을 형성한다.

(b) 게이트 절연층(5b) 상에 실리콘 반도체층(4)을 (필요한 영역만) 선택적으로 형성한다. 이 때, 최근 주목되고 있는 다결정 실리콘을 실리콘 반도체층으로 이용하는 경우에는, 예컨대 미리 비정질 실리콘층을 형성한 후, 이 비정질 실리콘층을 엑시머 레이저 등에 의해 어닐링하여 다결정화한다.

그 후, 게이트 전극(6b)의 상부가 되는 위치의 실리콘 반도체층 상에만 포토 레지스트(30)를 형성하고, 이 포토 레지스트(30)를 마스크로 하여 기판 상부로부터 실리콘의 도전형을 결정하는 B 등의 불순물을 이온 주입에 의해 실리콘 반도체층에 주입한다. 이로 인해, 박막 트랜지스터를 구성하는 불순물이 손재하지 않는 채널 영역(7b), 불순물이 박혀 들어간 소스 영역(8b) 및 드레인 영역(9b)을 형성한다.

(c) 포토 레지스트를 제거한 후의 기판 전면(全面)에 층간 절연층(5c)을 형성하고, 그 후 층간 절연층(5c)의 소스 영역(8b) 및 드레인 영역(9b)에 대응하는 위치에 콘택트 홀(10)을 개구(開口)하며, 이 콘택트 홀 내에 스퍼터링(sputtering) 등으로 Ti, Mo 등의 금속을 묻어 넣어 소스 전극(11s) 및 드레인 전극(12b)을 형성함으로써 박막 트랜지스터가 완성된다.

(발명이 해결하고자 하는 과제)

그러나, 상술한 도 1에 나타난 공정을 통해 제조된 박막 트랜지스터는, 현시점에서는 단일한 실리콘 결정으로 될 수 없는 등의 경우도 있고, 12인치 이상 20인치, 나아가서는 30인치 등 대(大)화면의 액정표시를 행할 때에는, 박막 트랜지스터 소자의 균일성이나 성능이 아직도 불충분하며, 더욱이 액정표시장치의 표시 균일성이나 표시 성능 등의 면에서 아직 불충분하다.

다음으로, 상술한 도 2에 나타난 바텀 게이트의 박막 트랜지스터에는 다음과 같은 문제가 있다.

우선 첫째, 게이트 전극의 위쪽에 소스 영역, 드레인 영역이 되는, 실리콘 반도체층이 존재하고 있기 때문에, 실리콘 반도체층에 불순물을 주입할 경우, 이미 형성되어 있는 게이트 전극에 대응한 위치에 마스크로서의 포토 레지스트를 형성할 필요성이 있어, 그 때의 위치 조정이 필요하게 된다. 그러나, 이후의 보다 높은 정밀성과 섬세함을 가지는 액정표시장치용의 초소형, 미세한 박막 트랜지스터에서는 이러한 위치 조정이 곤란하다. 또, 참고적으로 기재하면, 현재의 박막 트랜지스터의 게이트 폭은 10 μ m, 길이는 6 μ m 정도, 트랜지스터의 길이는 20 μ m 정도로 되어 있고, 앞으로는 보다 소형화가 예상되고 있다. 이 때문에 현재로는 탑 게이트형의 박막 트랜지스터가 주류가 되고 있다.

둘째로, 이것은 탑 게이트형, 바텀 게이트형에 상관없이, 현재 다결정화한 실리콘 반도체층 내로의 불순물 도입 수단으로서 고전압으로 가속한 불순물 이온의 주입이라 일컫는 수단이 이용되는데, 그 때 실리콘 반도체층의 결정격자에 많은 적든간에 손상(damage)이 있게 된다. 따라서, 그 손상의 회복하기 위해 열처리를 행하지만, 밑에 부착된 기판 유리의 내열성 때문에 온도는 최고 600 $^{\circ}$ C 정도로 제한된다. 더욱이, 완전히 손상을 회복하는 것은 곤란하다.

더욱이, 어쨌든 언더 코트층(under coat 層), 반도체층 등의 각 층이 얇기 때문에, 특히 이 열처리 시에 유리기판으로부터 반도체 내로 더욱 알칼리 금속이 확산되어 간다. 그리고, 이것은 반도체의 성능의 열화(劣化)로 연결된다.

이 때문에, 앞으로 고화소 밀도 뿐만 아니라 응답성도 우수하고, 더욱이 표시 면적이 큰 액정표시장치용으로, 응답성과 품질에 대한 균일성 면에서 충분한 성능을 가지는 박막 트랜지스터의 개발이 요구되어 왔다.

또, 탑 게이트형이든 바텀 게이트형이든, 저렴한 유리기판을 채용하고, 더욱이 불순물의 주입시에 실리콘층 등의 손상이 적은 기술의 개발이 요구되고 있다. 특히, 바텀 게이트형에서 강하게 요구되고 있다.

또, 초미세한 바텀 게이트형의 박막 트랜지스터에 있어서, 게이트 전극에 직접히 대응한 불순물의 주입을 가능하게 하는 기술의 개발이 요망되고 있다.

더욱이, 이와 같은 박막 트랜지스터를 사용함으로써, 대단히 화소밀도가 높고, 응답성이 양호하며, 더욱이 면적이 클 뿐만 아니라 저렴한 액정표시장치의 실현이 요구되고 있다.

또, 근래에 어닐링 시의 용접이 저하하는 것, 전계(電界) 이동효과가 큰 것 등에 주목하여 순(純) 실리콘으로 바꾸고, 주가율표에서 그 위아래로 위치하는 탄소나 게르마늄을 실리콘에 첨가한(탄소는 최대 5%, 게르마늄은 최대 30%) 반도체 박막의 개발도 행해지고 있으나, 이 경우에도 동일한 문제가 발생되므로 그 해결이 요구되고 있다.

발명의 상세한 설명

본 발명은, 이상의 순서를 해결하는 것을 목적으로 하여 안출된 것이다.

이를 위해, 제1의 발명군에서는, 절연성 기판상에 형성된 다결정 실리콘 박막을 능동영역으로 하는 박막 트랜지스터에 있어서, 다결정 실리콘 박막의 결정립이 면내(面内)에서 어레이 기판 끝, 그리고 이에 평행 또는 직교하는 박막 트랜지스터의 게이트의 길이방향과 평행 또는 수직 방향으로 이방성(異方性) 성장할 뿐 아니라 그 길이 방향이 박막 트랜지스터의 게이트 길이방향과 특정한 각도를 이루는 박막 트랜지스터로 되어 있다.

이 경우, 결정입자의 이방(異方) 성장방향이 게이트 길이방향인 경우, 캐리어의 이동시에 장벽이 적어지므로, 전체효과, 이동도(移動度)가 높아진다.

이 때, 다결정 실리콘 박막의 결정립이 게이트 길이 1μm당 0.5~2개 포함되도록 하고 있다. 이로 인해, 전체 박막 트랜지스터의 전체효과 이동도를 300cm²/Vs 이상으로 할 수 있다.

또, 결정립의 길이 성장방향이 박막 트랜지스터의 게이트 길이방향과 (거의) 평행하게 제작되면, 트랜지스터의 성질이 균일해진다.

이 때, 결정립이 게이트 길이 1μm당 5~20개 포함되어 있도록 하고 있다. 이로 인해 균일성과 고(高) 이동성의 측면에서 바람직한 결과를 얻게 된다. 또한 결정립의 길이 성장방향이 박막 트랜지스터의 게이트 길이방향에 45°의 각도를 이루도록 하고 있다. 이로 인해 고속이동과 특성의 균일화가 균형을 이룬 박막 반도체가 얻어진다.

여기서, 게이트 길이 1μm당 결정립이 1~10개 포함되어 있으면 바람직하다.

또, 화소부의 상(上), 좌(左)의 구동 회로부와 화소부를 가늘고 긴 레이저 빔으로 한번 주사(走査)하여 어닐링하는 것이 작업효율 등의 면에서 바람직하므로, 그와 같이 하고 있다.

또, 결정립의 이방향성(異方向性) 성장의 수단으로서 레이저 빔의 길이 방향과 거의 직교하는 방향으로, 그리고 레이저 빔의 짧은쪽 방향의 강도가 적어도 중앙부에서 강해지는 방향으로 기판 또는 레이저 빔, 특히 기판을 이동시키도록 하고 있다.

다음, 액정표시장치에서 그 화소부의 구동회로를 동일 기판에 설치하면 전체가 저렴해진다. 특히, 구동회로를 데이터 드라이브 쪽에 사용하면 구동특성이 우수한 고성능의 액정표시장치가 된다.

또, 구동회로부에 시프트 레지스터(shift resistor)를 설치하여 두면, 더욱 콤팩트한 액정표시장치가 된다. 또, 필요에 따라 버퍼회로를 설치하면 더욱 우수한 것이 된다. 또, 박막 트랜지스터를 화소부의 액정 스위치로 이용하면 콘트라스트가 좋은 액정표시장치가 된다. 이 때문에, 그와 같은 액정표시장치로 되어 있다.

제2의 발명군에서는, 기판 상에 형성된 바텀 게이트형의 박막 트랜지스터는 기판상에 형성된 기초 절연층을 가지는 박막 트랜지스터로서, 실리콘의 도전형을 결정하는 불순물을 함유하고, 비정질 실리콘의 레이저 어닐링 시에 기초층과 접해 있는 실리콘층에 포함되어 있는 불순물이 확산되어 소스 영역과 드레인 영역을 형성하게 되어 있다.

또, 기초 절연층이 투명 절연성 기판중에 함유되는 불순물이 박막 반도체 내로 확산되는 것을 방지하도록 되어 있다. 더욱이, 이와 같은 기초층으로서, BSG(보론 실리케이트 글래스)층 또는 PSG(핑 실리케이트 글래스)층을 이용하고 있다.

또, 액시머 레이저광의 조사에 의한 비정질 실리콘의 다결정화를 행하는 다결정 실리콘 반도체를 이용한 박막 트랜지스터의 제조방법에 있어서는, 순간적으로 상당한 고온에 노출되기 때문에 게이트 전극재료로 고용점 금속을 이용하고 있다.

또, 고융점 금속으로서 Cr, Mo, Ti 등을 주성분으로 하는 것을 이용하여, 게이트 측벽 절연층을 게이트 전극의 산화에 의해 용이하게 형성하게 되어 있다. 더욱이 이 때, Ti나 Cr 등은 산화로 불활성화하기 때문에, 산화막의 두께도 자연히 억제된다. 이온, 조미세 소자의 경우 특히 양호하다.

[도면의 간단한 설명]

도 1은, 종래 다결정 실리콘을 트랜지스터의 능동층으로 이용한 박막 트랜지스터의 제조공정을 개념적으로 나타낸 도면이고,

도 2는, 종래 바텀 게이트형의 박막 트랜지스터의 제조공정을 개념적으로 나타낸 도면이고,

도 3은, 본 발명의 제1 실시예에서의 액정표시장치의 화소부 및 그 주변 테두리 구동회로부의 박막 트랜지스터가 일체적으로 형성되는 기관 면과, 상기 면 위에서의 레이저 빔의 형상과 주사방향을 개념적으로 나타낸 도면이고,

도 4는, 상기 실시예에서의 레이저 조사장치의 광학계 및 빔의 주사방향과 에너지 밀도의 관계를 개념적으로 나타낸 도면이고,

도 5는, 상기 실시예에 있어서 박막 트랜지스터의 게이트 길이방향과 결정립의 성장방향의 관계를 개념적으로 나타낸 평면도이고,

도 6은, 상기 실시예의 박막 트랜지스터를 사용한 액정표시장치의 단면을 개념적으로 나타낸 도면이고,

도 7은, 본 발명의 제2 실시예에 있어서 액정표시장치 구동부의 박막 트랜지스터가 형성되는 기관 면과, 상기 면 위에서의 레이저 빔 형상과 주사방향을 개념적으로 나타내는 도면이고,

도 8은, 상기 실시예에 있어서 박막 트랜지스터의 게이트 길이방향과 결정립의 성장방향의 관계를 개념적으로 나타낸 평면도이고,

도 9는, 본 발명의 제3 실시예에 있어서 액정표시장치 구동부의 박막 트랜지스터가 형성되는 기관 면과, 상기 면 위에서의 레이저 빔의 형상과 주사방향을 개념적으로 나타내는 도면이고,

도 10은, 상기 실시예에 있어서 박막 트랜지스터의 게이트 길이방향과 결정립의 성장방향의 관계를 개념적으로 나타낸 평면도이고,

도 11은, 상기 제1 실시예 내지 제3 실시예를 바텀 게이트형의 박막 트랜지스터에 적용한 경우(제4 실시예)로, 트랜지스터가 제조되어 가는 모양과 레이저 빔의 내용을 개념적으로 나타낸 도면이고,

도 12는, 구동회로부의 게이트 구동회로와 소스 구동회로의 소스 전극과 드레인 전극 방향의 조합을 나타내는 도면이고,

도 13은, 레이저 어닐링시, 빔의 주사방향과 기관, 구동회로의 각도의 관계를 나타내는 도면이고,

도 14는, 본 발명의 제6 실시예에 있어서 바텀 게이트형 박막 트랜지스터의 구조를 개념적으로 나타내는 도면이고,

도 15는, 상기 실시예에 있어서 박막 트랜지스터가 제조되어 가는 모양을 개념적으로 나타낸 도면이다.

[부호의 설명]

1... 절연기관

2... 버퍼층(기초 절연막)

- 3... 비정질 실리콘 박막
- 4... 다결정 실리콘 박막
- 5... 게이트 절연막
- 5b... 게이트 절연막(바텀 게이트)
- 5c... 층간 절연막(바텀 게이트)
- 6... 게이트 전극
- 6b... 게이트 전극(바텀 게이트)
- 7... 채널 영역
- 7b... 채널 영역(바텀 게이트)
- 8... 소스 영역
- 8b... 소스 영역(바텀 게이트)
- 9... 드레인 영역
- 9b... 드레인 영역(바텀 게이트)
- 10... 콘택트 홀(contact hole)
- 11... 소스 전극
- 11b... 소스 전극(바텀 게이트)
- 12... 드레인 전극
- 12b... 드레인 전극(바텀 게이트)
- 12... 화소부
- 13... 게이트 구동회로부
- 14... 소스 구동회로부
- 15... 엑시머 레이저 빔
- 151... 엑시머 레이저 빔
- 152... 엑시머 레이저 빔
- 153... 엑시머 레이저 빔

- 16... 빔의 상대적 주사방향을 나타내는 선
- 101... 빔의 상대적 주사방향을 나타내는 선
- 162... 빔의 상대적 주사방향을 나타내는 선
- 163... 빔의 상대적 주사방향을 나타내는 선
- 20... 폴리 실리콘 박막
- 21... 실리콘 결정립(가늘고 긴 폴리 실리콘 미결정)
- 22... PSG 층
- 23... BSG 층
- 24... 레지스트 패턴
- 30... 포토 레지스트
- 31... 레이저 광원
- 32... 중간 블록형 볼록렌즈
- 33... 중간 오목형 오목렌즈
- 34... 한쪽만 블록한 형상의 렌즈
- 35... 레이저 광선
- 41... 제1 투명 전극
- 42... 트랜지스터
- 43... 제1 어레이 기판
- 44... 컬러 필터
- 45... 제2 전극
- 46... 제2 컬러 필터 장착기판
- 47... 배향막(配向膜)
- 48... 스페이서
- 49... 접착제
- 410... 액정

411, 412... 편광판

413... 백 라이트(back light)

4p... 불순물이 도입된 제1 폴리실리콘층

4b... 불순물이 도입된 제2 폴리실리콘층

61... 게이트 측벽 절연층

6b... 게이트 전극 재료층

실시에

이하, 본 발명을 그 실시예에 기초하여 설명한다.

(제1 실시예)

본 실시예는, 비정질 실리콘 박막을 엑시머 레이저 어닐링으로 다결정화할 때, 입자의 성장방향을 제어하는 것에 관한 것이다.

도 3은, 액정표시장치의 거의 중앙부로부터, 다소 우하측(右下側)으로 벗어난 위치에 있는 표시부의 화소 스위치용 박막 트랜지스터와 기관내 상부와 좌측의 테두리 내에 화소부의 구동회로부용 박막 트랜지스터가, 소위 편측 실장(實裝)이라고 하는 배치형식으로 형성된 투명성 절연기관의 평면도이다.

본 도면의 (a)에서, 1은 유리 등의 투명성 절연기관이고, 12는 그의 거의 중앙부, 다만 다소 오른쪽 밑에 치우친 화소부이며, 13은 게이트 구동회로(게이트 드라이버)부이고, 14는 소스 구동회로(소스 드라이버)부이다. 그리고, 화소부와 그 구동회로부는 각각 다결정 실리콘 박막을 구동층으로 이용한 다수의 박막 트랜지스터가 몇개의 열, 몇개의 단으로도 형성되어 있다.

또, 본 실시예의 구동회로는 닷 타이밍(dot timing) 신호와 동기(同期)하는 것과 같은 스위칭, A/D 변환에 의한 영상의 표시 등을 위한 시프트 레지스트를 포함하고 있다.

다음, 이 액정표시장치의 화소부, 게이트 구동회로부 및 소스 구동회로부의 박막 레지스트의 형성에 관해서 설명한다.

먼저, 기본적인 제조방법 그 자체는, 전술한 종래의 것과 동일하다. 다만, 비정질 실리콘 박막의 열치리에 의한 다결정화의 내용이 다르다. 이하, 이 다른 부분에 관해서 상세히 설명한다.

우선, 엑시머 레이저 빔은, 에너지 밀도가 길이 방향으로는 균일하고 짧은쪽 방향으로는 강도분포를 가지는 띠 모양의 빔으로 되어 있다. 이하, 소위 주지기술이지만, 본 발명의 취지에 직결되기 때문에 도 4에 레이저 빔의 에너지 밀도분포를 이와 같이 하기 위한 원리를 나타내고 그 내용을 간단히 설명한다.

본 도면에서, 31은 레이저 광원이다. 32는 소위 중앙부 볼록형의, 초점이 아닌 초선(焦線)을 형성하는 (일 방향성) 볼록렌즈이다. 33은 중앙부 오목형의 오목렌즈이다. 34는 한쪽만 중앙부 볼록형인 볼록렌즈이다. 35, 35L, 35R은 레이저 광선이다.

본 도면의 (a)에 나타낸 바와 같이, 거의 선 모양의 레이저 광의 빔은 중앙부 볼록형과 중앙부 오목형의 렌즈에 의해, 양 렌즈의 방향에 따라 가늘고 긴 단형(短形)으로 형성된다. 더욱이, 그 단형의 방향은 앞의 중앙부 볼록형의 볼록렌즈와 같은 방향, 즉 빔의 길이방향으로 가늘고 긴 중앙부 볼록형의 편측(片側) 렌즈를 통함으로써 에너지 밀도의 분포를

가지게 된다. 또, (b)의 35R은, (a)에 나타난 가늘고 긴 단형의 레이저 빔의 앞쪽, 35L은 뒤쪽이다. 그리고, 레이저 어닐링되는 비정질 실리콘층(3)은 초선보다 적고 이 편측 불록렌즈(34) 측에 있다. 이 때문에, 이 레이저 빔의 에너지 밀도 분포는 온 도면의 (c)에 나타난 바와 같이 된다.

다만, 실제로는 위의 내용 외에 슬릿을 사용한다든지, 특수한 형상의 반사판을 사용한다든지 한다. 그러나, 이들은 레이저만이 아니고, 통상의 광학계에도 이용되고 있는 소위 주지기술이며, 또 특히 곤란한 기술내용도 아니다. 이 때문에, 레이저 빔의 형상이나 에너지 밀도의 분포를 얻기 위한 기술에 관하여 이 이상의 설명은 생략한다.

다음, 빔의 주사에 있어서, 이 빔을 조사(照射)하면서 도 3의 (b)나 도 4의 (c)에 나타난 바와 같이 그 길이방향과 직교하는 방향에 소정 속도로 기판에 대하여 상대적으로 이동시켜서 비정질 실리콘 박막을 차례대로 조사 가열하여 다결정화를 행한다. 또, 이 때 레이저 원(源)이나 광학장치의 형편을 고려하여, 기판 쪽을 이동시키는 것이 바람직하다.

다음, 아모르퍼스 실리콘층의 형성은, 미리 유리기판 표면에 절연용 기초로서의 SiO_2 층을 형성하고, 이 SiO_2 층 위에 플라즈마 CVD법을 이용하여 아모르퍼스 실리콘층을 막 두께 약 100nm로 형성한다.

다음, 도 3의 (b)에 나타난 바와 같이, 형성하는 박막 트랜지스터의 게이트 길이방향과 기판의 이동방향이 대략 평행하게 되도록 세팅하고(본 도면의 (b)에서는, 각각의 방향이 어레이 기판 끝과 빔의 길이방향이 거의 수직하게 되도록 설정되어 있다), 레이저 빔의 길이방향과 거의 직교하는 방향으로, 또 레이저 빔의 짧은쪽 방향의 강도가 강해지는 방향으로 조사하면서 빔을 이동시킨다.

또, 이 빔을 이동시키는데, 전술한 이유로 인해 조사장치 안에 고정된 레이저·빔·발신원(發信源), 더욱이 레이저 빔에 대하여, 이동장치 상에 설치된 기판을 이동시킨다. 그리고, 비정질 실리콘 박막을 연속적으로 결정화한다(스텝앤드리프트법).

도 3의 (b)에 있어서, 15는 역시 레이저 빔의 형상이고, 양끝에 화살표가 있는 선분(16)은 빔의 상대적인 주사방향을 나타낸다. 또 여기서, 양끝 화살표로 한 것은, 기판의 치수, 레이저 광원의 출력 등에 따라서는, 즉 빔 치수에 따라서는 구동회로부를 여러 번 왕복할 필요가 있는 것, 즉 레이저 어닐링의 전단계로서 비정질 실리콘 표면에 부착한 먼지 등을 약한 에너지 밀도의 레이저 조사에 의해 비산시켜 버리는 조사 등도 있을 수 있기 때문에, 이 또한 왕복될 수 있는 것을 고려한 것이다.

이에 의해, 다결정화된 실리콘 박막의 결정립(도메인 또는 그레인이라고도 함)은 종래기술에서는 원형형상으로 되지만, 본 실시예에서는 그와 같이 되지는 않고, 주사방향으로 가늘고 긴 타원형상으로 된다.

그 이유는, 용융된 실리콘의 길이방향은 균일, 동일한 온도이기 때문에, 그 단부(端部)를 제외하고 열은 길이방향으로 퍼져나가기 어렵다. 특히, 패터닝에 앞서 레이저 어닐링을 행하는 경우, 빔의 길이방향은 용융한 실리콘이 길게 연장되어 있으므로, 이 방향으로 열이 사실상 빠져나가지 않는다. 그러나 빔의 진행방향이기도 한 짧은쪽 방향은, 중앙부 쪽에 높은 밀도의 에너지 분포를 가지기 때문에, 빔의 진행방향과 역방향으로부터 온도가 낮아지고, 이 때문에 실리콘의 고화(固化)시에는 빔의 진행방향 반대 끝으로부터 진행방향 끝을 향하여 냉각되어 가기 때문으로 생각된다.

다음, 조사조건에 관해서 설명한다.

예컨대, KrF (XeCl 이라도 좋다) 엑시머 레이저를 이용하여, 전구체(Precursor)인 비정질(아모르퍼스) 실리콘(a-Si)의 막 두께를 100nm, 기판 온도를 500℃, 레이저 조사 에너지를 $330\text{mJ}/\text{cm}^2$, 설정한 주사 이동피치를 1μm/shot(shot)로 한 후, 광학 현미경으로 확인하면, 주사방향으로 길이방향을 가지고 길이방향의 그레인 사이즈가 3~5μm, 짧은쪽 방향 0.5~2μm의 실리콘 미결정으로 구성된 박막이 얻어진다.

또, 기판 온도는 높을수록 좋지만, 유리를 이용하는 경우에는 그 내열성 때문에 기판 자체는 300℃~600℃로 하고, 막 두께는 30nm~200nm, 레이저 조사 에너지를 280~420mJ/cm², 레이저 빔의 짧은쪽 방향의 레이저 조사의 파워(power) 분포는 10 마이크로와트 대략 3~10mW/cm² 정도의 기공기로 하는 것이 가장 양호한 다결정 실리콘을 얻을 수 있다.

다음, 이와 같이 하여 형성된 다결정 실리콘 박막을 이용하여, 도 1에 나타난 것과 동일한 공정으로 박막 트랜지스터를 형성한다. 그 결과, 도 5에 나타난 바와 같이 입자가 이방(異方) 성장한 다결정 실리콘 박막 트랜지스터가 얻어진다.

본 도면에 있어서, 11은 소스 전극이고, 12는 드레인 전극이며, 6은 게이트 전극이고, 20은 결정화된 폴리 실리콘 박막이다. 그리고, 도면 중의 작은 타원형상(21)은 이방성 성장한 실리콘 결정의 그레인이고, 굵은 선으로 나타난 양끝 화살표는 게이트 길이방향이다.

본 실시예의 박막 트랜지스터는, 게이트 길이방향으로 가늘고 길게 성장한 실리콘의 결정립으로 되어 있으므로, 박막 트랜지스터의 채널 영역에 존재하는 결정립의 입계(粒界)를 최소한으로 하는 것이 가능하게 된다. 따라서, 박막 트랜지스터를 동작시킨 때 캐리어 이동의 장벽이 감소되고(미시적으로는, 단결정에 가깝게 된다), 높은 전계효과 이동도(구체적으로는, 대략 480 cm²/Vs)를 가지는 박막 트랜지스터 군을 얻을 수 있다. 더욱이, 텔레비전 장치, 동화면 표시장치용의 액정표시장치용의 TFT로서 우수한 것이 된다.

(제1 실시예의 응용예)

본 응용예는, 본 제1 실시예의 박막 트랜지스터를 사용한 액정표시장치에 관한 것이다.

도 6에 본 응용예의 액정표시장치를 나타낸다. 본 액정표시장치를 제조하는 방법에 있어서, 매트릭스 모양으로 적재된 제1 전극(41)과 이 전극군을 구동하는 본 실시예로 제조된 트랜지스터군(42)을 가지는 제1 어레이 기판(43)과, 제1 전극과 대향하도록 배치한 R, G, B의 컬러 필터(44)와 제2 전극(45)을 가지는 제2 컬러 필터 장치기판(46)으로 액정층을 끼워 넣는다. 이 때, 양 기판(43,46)의 내표면(액정층 측면)에 직접 또는 어떤 별도 목적의 다른 박막을 형성한 후, 그 박막표면에 액정에 대하여 배향작용이 있는 배향막(47,47')을 형성해 둔다.

또, 제1과 제2의 컬러 필터 기판(43,46)을 전극이 대향(對向)하도록 위치 조정하고 스페이서(48)와 접착제(49)를 이용하여 대략 5마이크론의 갭(gap)으로 고정하여 둔다.

그 후, 제1과 제2 기판(43,46) 사이에 TN 액정(ZLI4792: 엘크사 제품)을 진공법으로 주입하여 액정층(410)을 형성한 후, 편광판(411,412)을 조합하여 액정표시소자를 완성시킨다.

이 액정표시장치에, 화살표로 나타난 백 라이트(413)를 전면(全面)에 조사하면서, 비디오 신호를 이용하여 각각의 트랜지스터를 구동함으로써 화살표(A) 방향에 영상을 표시하게 된다.

한편, 이 액정표시장치의 성능에 있어서, 액정화면 전체를 3.8형으로부터 13형까지 크게 하여 신호처리의 지연 등을 비교하여도, 지연은 최소한으로 할 수 있으며 고속의 표시를 행할 수 있음을 확인했다.

(제2 실시예)

본 실시예도, 엑시머 레이저 어닐링으로 다결정화할 때, 실리콘 입자의 성장방향을 제어하는 것에 관한 것이다. 다만, 앞의 제1 실시예와 비교할 경우, 성장방향이 다르다.

본 실시예의 액정표시장치의 기판도, 도 7의 (a)에 나타난 바와 같이, 앞의 도 3의 (a)에 나타난 것과 동일하고, 이 때문에 동일한 부분에는 동일한 부호를 부여하고 있다.

더욱이, 게이트 구동회로부(13) 및 소스 구동회로부(14)의 박막 트랜지스터는 드라이버 회로용의 박막 트랜지스터이고, 시프트 레지스터를 포함하고 있는 것도 동일하다.

또한, 본 실시예의 다결정 박막 반도체의 제조방법에 있어서도, 미리 유리기판 표면에 SiO_2 층을 형성하고, 이 SiO_2 층을 개재하여 플라즈마 CVD법을 이용하여 아모르퍼스 실리콘층을 막 두께 약 100nm로 형성하며, 이를 기초로 엑시머 레이저 빔은 그 에너지가 길이방향으로 균일하고 짧은쪽 방향으로 강도분포를 가지는 띠 모양으로 정형(整形)하고, 이 빔을 조사하면서 그 길이방향과 거의 직교하는 방향으로 이동시켜서 비정질 실리콘 박막을 조사, 가열하여 다결정화를 행한다는 기본적인 공정 그 자체는, 종래기술이나 앞의 제1 실시예와 동일하다.

다음, 형성하는 TFT의 게이트 길이 방향과 기판의 이동 방향이 대략 평행하게 되도록 세팅하고, 레이저 빔의 길이 방향과 거의 수직인 방향이면서 레이저 빔의 짧은 쪽 방향의 강도가 강하게 되는 방향으로 기판을 이동시킬 경우, 기판 쪽을 엑시머 레이저에 대하여 이동시킬 때마다 엑시머 레이저 광을 조사하고, 비정질 실리콘 박막을 연속적으로 결정화하는 것은, 앞의 제1 실시예와 동일하다.

다만, 형성된 비정질 실리콘 박막을 열처리에 의해 다결정화할 때의 입자 성장의 이방성의 방향이 다르다. 이 때문에, 이 다른 부분에 관해서 설명한다.

본 실시예에서의 엑시머 레이저 빔의 주사방향을 도 7의 (b)에 나타낸다. 본 도면의 (b)에서도, 15는 엑시머 레이저 빔의 형상을 나타내고, 양끝에 화살표가 있는 선분(16)은 기판이나 화소 등에 대한 상대적인 엑시머 레이저의 주사방향, 또는 경향을 나타낸다. 본 도면에서 명료하게 알 수 있는 바와 같이, 첫째, 본 실시예에서는 앞의 실시예와 직교하는 방향으로 주사한다. 둘째, 소스 구동회로부(14)와 화소부를 동시에 동일 주사방향의 레이저 빔으로 레이저 어닐링한다.

한편, 본 실시예에서도 짧은쪽 방향으로 강도분포를 가지는 엑시머 레이저를 이용하여 이와 같은 가열처리를 행하기 때문에, 다결정화된 실리콘 박막의 결정립은 원형 형상으로는 되지 않고, 길이방향과 짧은쪽 방향이 존재하며, 더욱이 주사방향으로 가늘고 긴 타원형상이 되지만, 앞의 제1 실시예와는 다르고, 실리콘 입자의 성장방향은 게이트 길이방향에 직교한 방향이 된다. 이를 도 8에 나타낸다.

본 도면에서, 6은 게이트 전극이고, 11은 소스 전극이며, 12는 드레인 전극이다. 또, 20은 결정화된 폴리 실리콘 박막이고, 작은 타원 모양은 이방성 성장된 실리콘 결정립(21)이다.

다음, 조사조건으로서, 본 실시예에서도, 예컨대, $\text{KrF}(\text{XeCl}$ 이라도 좋다) 엑시머 레이저를 이용하여, 전구체인 비정질(아모르퍼스) 실리콘(a-Si)의 막 두께를 100nm, 기판 온도를 500°C , 레이저 조사 에너지를 $330\text{mJ}/\text{cm}^2$, 설정한 주사 이동피치를 1미크론/샷(shot)으로 한 후, 광학 현미경으로 확인하면, 주사방향으로 길이방향을 가지고 길이방향의 그레인 사이즈가 3~5미크론, 짧은쪽 방향 0.5~2미크론인 실리콘 미결정으로 구성된 박막이 얻어진다.

또, 이 때의 최적조건은 앞의 제1 실시예와 동일하고, 기판 온도는 높을수록 좋지만, 유리를 이용하는 경우에는 기판 온도는 $300^\circ\text{C} \sim 600^\circ\text{C}$ 로 하고, 막 두께는 30nm~200nm, 레이저 조사 에너지를 $280 \sim 420\text{mJ}/\text{cm}^2$, 레이저 빔의 짧은쪽 방향의 레이저 조사의 파워(power) 분포는 10미크론당 대략 $3 \sim 10\text{mW}/\text{cm}^2$ 정도로 하는 것이 좋다.

다음, 이와 같이 하여 형성된 다결정 실리콘 박막을 이용하여, 앞의 실시예와 마찬가지로, 도 1에 나타낸 것과 같은 다결정 실리콘 박막 트랜지스터를 제조했다.

이 박막 트랜지스터에서는, 도 8에 나타낸 바와 같이 박막 트랜지스터의 게이트 길이방향과, 가늘고 길게 성장 형성된 다결정 실리콘의 결정립의 길이방향이 대략 수직으로 되어 있다. 이 때문에, 박막 트랜지스터의 채널 영역에 존재하는 결정립의 입계(粒界)를 최소한으로 할 수 있다. 따라서, 박막 트랜지스터를 동작시킬 때의 캐리어 이동의 장벽이 균일화되고, 표시의 균일성이 우수한 LCD를 제공할 수 있다. 더구나, 워드프로세서, 정지화면이나 전차 안의 안내 등 이에 준한 화면의 표시전용의 액정표시장치용 TFT로서 우수한 것이 된다.

다음, 본 실시예의 박막 트랜지스터를 사용한 워드프로세서용 액정표시장치를 제작하여 보았는데, 실제로 대단히 우수한 것이었다. 다만, 이 액정표시장치의 구성 그 자체는, 도 6에 나타낸 것과 동일한 것이므로 굳이 도시하지 않고 생략한다.

(제3 실시예)

본 실시예도, 액시머 레이저 어닐링으로 다결정화할 때의 입자의 성장 방향성을 제어하는 것에 관한 것이다. 다만, 앞의 2개 실시예와 비교하여, 그 방향이 게이트 길이방향에 45° 경사져 있는 것이 다르다. 이하, 본 실시예의 박막 트랜지스터에 관해서, 도면을 참조하면서 설명한다.

본 실시예의 액정표시장치의 기판도, 도 9의 (a)에 나타난 바와 같이, 도 3의 (a), 도 7의 (a)에 나타난 앞의 2개의 실시예와 동일하다.

더욱이, 본 실시예에서도, 기본적인 제조공정 그 자체나 그 특징, 구체적으로는 에너지가 길이방향으로 균일하고 짧은 쪽 방향으로 강도분포를 가지는 펄스 모양의 레이저 빔을 정형(整形)하고, 이 레이저 빔을 조사하면서 그 길이방향과 거의 직교하는 방향으로 이동시켜가면서 비정질 실리콘 박막을 조사 가열하여 액정입자 성장의 이방성을 도모하면서 다결정화를 행하는 것, 조사조건, 결정립의 형상이나 치수 등은 앞의 2개 실시예와 동일하다. 다만, 미리 형성된 비정질 실리콘 박막을 다결정화할 때 입자의 방향성이 다르게 되어 있다.

즉, 도 9의 (b)에 나타난 바와 같이, 어레이 기판의 변(邊)과 빔 길이방향이 45° 가 되도록, 즉 형성되는 박막 트랜지스터의 게이트 길이방향과 기판의 이동방향이 약 45° 가 되도록 세팅하고, 레이저 빔의 길이방향과 거의 직교하는 방향으로, 더욱이 레이저 빔의 짧은 쪽 방향의 강도가 강하게 되는 방향으로 조사하면서 기판 또는 레이저 빔을 이동시킨다.

또 도 9의 (b)에서도, 15는 액시머 레이저 빔 형상을 나타내고, 양끝 화살표의 선분(16)은, 이 빔의 기판 등에 대한 상대적인 조사방향이다.

이 때문에, 본 실시예에서도 전술한 이유로 다결정화된 실리콘 박막의 결정립은 조사방향으로 가늘고 긴 타원형상이 되지만, 결정립 그 자체는 도 10에 나타난 바와 같이 그 길이방향이 게이트 길이방향과 45° 경사지게 된다.

다음, 이상과 같이 하여 형성된 다결정 실리콘 박막을 이용하여, 앞의 2개 실시예와 마찬가지로 TFT를 형성하게 된다.

본 실시예의 박막 트랜지스터는, 박막 트랜지스터의 게이트 길이방향과 가늘고 길게 성장 형성된 다결정 실리콘 결정립의 길이방향이 약 45° 로 되어 있기 때문에, 박막 트랜지스터의 채널 영역에 존재하는 결정립의 입계 분산을 적게 하면서 높은 전기효과 이동도가 얻어진다.

다음, 본 실시예의 박막 트랜지스터를 사용한 워드프로세서용 액정표시장치를 제작하여 보았는데, 실제로 매우 우수한 것이었다. 다만, 이 액정표시장치의 구성 그 자체는 도 6에 나타난 것과 동일하므로, 굳이 도시하지는 않는다.

(제4 실시예)

본 실시예는, 결정립의 이방성 성장에 관해서는 앞의 3개 실시예와 동일하지만, 트랜지스터의 형(型)이 소위 바텀 게이트인 것이 다르다.

이하, 도 11을 참조하면서 본 실시예의 제조방법에 관해서 설명한다.

(a) 투명한 기초 절연막(2)이 형성된 유리기판(1) 상의 소정위치에 게이트 전극(6b)을 형성한다.

(b) 기판 전면(全面)에 SiO_2 로 구성되는 게이트 절연막(5b)을 형성한다.

(c) 기판 상의 전면에 비정질 실리콘층(3)을 형성한다.

(d) 액시머 레이저를 조사하여 비정질 실리콘층을 다결정 실리콘층(4)으로 한다.

(e) 다결정 실리콘층(4)을 패터닝하고, 게이트 전극(5b) 상부에 레지스트 패턴(24)을 두껍게 형성한다. 그리고, 이를 기초로 기판 상부로부터 P나 B의 불순물 이온을 주입한다.

그런 후, 중간 절연막을 형성하고, 더구나 이 중간 절연막의 소정 위치에 콘택트 홀을 형성한 후, 이 콘택트 홀 내에 금속을 채워 도 2의 (c)에 나타낸 바와 같은 바텀 게이트형의 박막 트랜지스터를 형성한다.

한편, 본 도면의 (d)에 나타낸 엑시머 레이저의 조사에 있어서, 그 빔(15)의 형상은, (d)의 우측에 나타낸 바와 같이 지금까지의 실시예와 동일하게 가늘고 긴 직사각형이고, 또한 주사방향(16)은 길이방향에 직교하는 방향이다. 다만, 그 에너지 밀도의 분포는, 도 4의 (c)에 나타낸 것과 달라, 중앙부가 높고 주사방향과 그의 반대방향 양쪽이 낮게 되어 있는 것이 다르다. 이러한 에너지 밀도 분포로 하고 있는 것은, 빔이 기판 상의 전면(全面)을 주사하기 때문에 기판 상의 전면을 차례대로 움직일 필요가 있는데, 이 때 길이방향에 직교하는 방향으로 움직이기만 하면 짧은쪽 방향 중앙부의 밀도가 높아지는 것에 기인된다. (또, 실제 제조에서는, 전술한 바와 같이 고정된 빔에 대하여 기판 쪽을 움직인다.)

바텀 게이트형에서는 탑 게이트형과 달라, 게이트 전극부에 다소의 실리콘층의 요철이 있거나 또는 이 때문에 그늘이 생기지 않도록 조사할 필요가 있기는 하지만, 본 실시예에서도 빔의 주사방향에 따라 결정립이 성립하게 된다. 이 때문에, 그 주사방향을 기판상의 TFT의 채널방향에 따른 것으로 하거나, 직교하는 방향에 따른 것으로 한다면, 45° 경사진 방향에 따른 것으로 하거나 하여, 전술한 각 실시예와 같은 결정립의 이방성장이 이루어지고, 더구나 동일한 특징을 가지는 바텀 게이트형의 박막 반도체가 얻어진다.

(제5 실시예)

본 실시예는, 게이트 구동회로부와 소스 구동회로부의 게이트 길이방향의 조합과 그에 따른 레이저 어닐링에 관한 것이다.

이하, 도 12를 참조하면서, 본 실시예를 설명한다.

본 도면의 (a) 내지 (d)에 나타낸 바와 같이, 소스 전극과 드레인 전극 사이를 연결하는 방향인 게이트 길이방향의 조합은 4종이 있다. 또, 본 도면에서, 9는 TFT의 소스 전극을, D는 드레인 전극을, G는 게이트 전극을, S와 D 사이의 양 끝에 화살표가 있는 선은 게이트 길이방향을 나타낸다. 그리고, 이들의 조합은, 액정표시장치의 용도에 의해 최적의 것이 선택된다.

다음, 레이저 어닐링할 때의 빔의 주사방향은, 도 12(a)의 조합을 예로 들면, 도 13의 각 3개(161,162,163)의 양끝 화살표로 나타낸 바와 같이, 빔 (161,162,163)을 각 게이트 구동회로부(13)에 평행, 소스 구동회로부(14)에 평행, 양 회로부에 45° 경사져 길이방향으로 이동하는 것의 3종류가 있다. 그리고, 이로 인해 한 번의 레이저 빔의 주사로 기판 표면의 비정질 실리콘 박막을 다결정화하게 된다. 또 이 경우, 박막 트랜지스터에 있어서, 단위 면적당 필요한 에너지(E) 양은 후막 트랜지스터에 비하여 적어도 무방하므로, 어닐링 대상의 기판이 넓어도 레이저 광원의 능력에 문제가 생기지 않는 것은 물론이다.

(제6 실시예)

본 실시예는, 바텀 게이트형의 박막 트랜지스터에 관한 것이다.

도 14에, 본 실시예의 박막 트랜지스터의 단면구조를 나타낸다. 본 도면에 있어서, 1은 유리제의 투명한 절연성 기판이

고, 위에는 실리콘의 도전형을 결정하는 한 쪽 도전형 불순물을 포함한 기초층으로서의 PSG층(22) 및 동일하게 다른 쪽 도전형 불순물을 포함하는 기초층으로서의 BSG층(23)이 선택적으로(소자의 배치에 따라 필요한 부분에) 형성되어 있다. 그리고, PSG층(22) 및 BSG층(23)의 위에는, 예컨대 크롬 등의 고용점 금속으로 구성되는 게이트 전극(6b)과, PSG층(22)으로부터의 P(인)의 확산에 의해 불순물이 도입된 제1 폴리 실리콘층(4p)과, BSG층(23)으로부터의 B(붕소)의 확산에 의해 불순물이 도입된 제2 폴리 실리콘층(4b)이 형성되어 있다. 이 제1 폴리 실리콘층(4p) 및 제2 폴리 실리콘층(4b)은, 각각 박막 트랜지스터의 소스 영역(8b)과 드레인 영역(9b)을 구성하고 있다.

또, 이 게이트 전극의 측면에는, 게이트 전극과 불순물이 도입된 제1 폴리 실리콘층이나 불순물이 도입된 제2 폴리 실리콘층 사이를 전기적으로 절연하기 위한 게이트 측벽 절연층(61)이 형성되어 있다. 또, 이 게이트 측벽 절연층은, 게이트 전극을 산화함으로써 얻어진 절연층인 것이 제조면에서 바람직하다.

더욱이, 게이트 전극(6b) 위에는 게이트 절연층으로서의 절연막(5b)이 형성되어 있고, 그 위에는 이 게이트 절연막(5b) 및 게이트 측벽 절연층(61)을 덮음과 동시에, 게이트 전극의 양측에 형성되어 있는 P가 도입된 제1 폴리 실리콘층(4p)이나 B가 도입된 제2 폴리 실리콘층(4b)에 접하도록, 박막 트랜지스터의 채널 영역(7b)으로서 불순물이 도입되어 있지 않은 폴리 실리콘층이 형성되어 있다.

또, 이 소자는 더욱이 그 상부에 층간 절연층(5c)이 형성되어 있고, 더욱이 이 절연층이 필요한 곳에 콘택트 홀(10)이 형성되어, 이 콘택트 홀(10) 내에 금속을 매립함으로써 소스 전극(11b)과 드레인 전극(12b)이 형성되어 있다.

다음, 이상의 설명으로 명백한 바와 같이, 이 박막 트랜지스터는 그 소스 영역과 드레인 영역의 형성에, PSG층이나 BSG층이라고 하는 도전형을 결정하는 불순물을 포함한 기초층으로부터 P나 B의 일확산을 이용하고 있다. 이 때문에, 종래의 것과 달리 폴리 실리콘층으로 불순물 이온을 고전압으로 가속하여 주입한다고 하는 공정을 가지지 않으며, 더구나 고전압으로 가속된 이온의 충돌에 의한 실리콘 반도체층의 손상이 발생되지 않는다. 또, 불순물의 주입에 포토 레지스트를 마스크로서 이용하지 않기 때문에, 그 위치 조정(얼라인먼트)의 어긋남은 전혀 없고, 더구나 소스 영역과 드레인 영역을 올바른 위치에 형성할 수 있다.

또, 기초막으로서 PSG층이나 BSG층은, 투명 절연성기판인 유리기판 중에 존재하는 알칼리 금속 등이 실리콘 반도체층으로 확산되는 것을 방지한다. 더욱이, 확산방지를 위해 종래로부터 이용되고 있는 실리콘 질화막 등의 언더 코트층과 비교하면, 알칼리 금속 등의 확산을 방지하는 효과가 높다. 이 때문에, 예컨대 박막 트랜지스터의 제조에 있어서, 후 단계에서의 열처리시, 구체적으로는 불순물 이온 주입 후의 활성화 처리 등에서 그 특성에 크게 악영향을 미치는 알칼리 금속 등이 유리기판으로부터 확산되어 가는 것을 확실히 방지한다.

또, 실리콘 질화막 등의 언더 코트층을 형성한 위에 PSG층이나 BSG층을 형성하여도 되는 것은 물론이다.

다음, 본 실시예의 박막 트랜지스터의 제조방법에 관해서, 도 15를 참조하면서 설명한다. 본 도면은, 제조의 진전에 따라 박막 트랜지스터가 제조되어 가는 모양을 나타내는 것이다.

(a) 유리로 만든 기판(1) 상의 좌측 N-채널 트랜지스터를 형성하는 영역에는 N형 불순물인 P를 3.5%정도 포함하는 PSG막(22)을 기초 절연막으로서 형성하는 한편, 우측의 P-채널 트랜지스터를 형성하는 영역에는 P형 불순물인 B를 35% 정도 포함하는 BSG막(23)을 기초 절연막으로서 형성한다.

더욱이, 이들 PSG막 및 BSG막 위에, Cr(크롬)막으로 구성되는 게이트 전극재료층(6c)을 형성한다.

그 후, 전면(全面)에 SiO_2 등의 게이트 절연층(5b)을 형성하고, 더욱이 게이트 전극 패턴을 형성하기 위해, 당해 부분에만 레지스트 층(24)을 형성한다. 즉, 소위 레지스트 패턴을 형성한다.

(b) 형성된 레지스트 패턴(24)을 마스크로 하여 드라이 에칭을 행하여 게이트 전극(6b)을 형성한다. 이 때, 동시에 게이트 절연층도 패터닝되게 된다.

(c) 에칭할 때에 이용한 레지스트 패턴을 제거하고, 게이트 전극(6b)을 가열에 의해 산화시켜 게이트 전극 측벽 절연층(61)을 형성한다. 이 게이트 전극 측벽 절연층(61)은, 이 후 형성되는 실리콘 반도체와 게이트 전극 사이를 전기적으로 절연하는 것이다. 또, 본 실시예에서는, 단순히 가열로 용이하게 산화하여 게이트 전극 측벽 절연층을 형성할 뿐만 아니라 금속 산화물이 불활성화되기 때문에, 어느 정도의 산화막 압력이 되면 산화가 정지되어, 극히 미세하더라도 산화가 과도하게 되지 않는다는 성질과 내열성의 면으로부터 Cr을 그 재료로 이용하고 있다.

(d) 박막 트랜지스터의 채널 영역이나 소스 영역이나 드레인 영역이 되는 반도체층을 형성한다. 구체적으로는, 기판(1) 전면에서 비정질 실리콘층(3)을 퇴적한다.

(e) 비정질 실리콘층(3)에 화살표로 나타낸 엑시머 레이저광을 조사하여, 그 다결정화를 행한다. 또, 이 때 순간적이라고 하는 하여도, 엑시머 레이저의 조사영역은 상당히 높게 되지만, 게이트 전극의 재료로서 용점이 높은 Cr을 이용하고 있기 때문에 용융하지 않는다는 것은 물론이다.

한편, 이 엑시머 레이저광에 의해 다결정화할 때에, 그와 동시에 불순물의 확산에 의한 소스 영역과 드레인 영역의 활성화 처리도 겸하여 수행하기도 한다. 즉, 엑시머 레이저의 조사에 의한 고열하에서, PSG막 및 BSG막 중으로부터 다결정 실리콘층에 각각 불순물(P 및 B)이 확산되어 소스 영역과 드레인 영역을 형성한다.

이상의 설명에서 알 수 있는 바와 같이, 본 실시예에서는 엑시머 레이저의 조사에 의해, 비정질 실리콘층의 다결정화와 트랜지스터 소자의 소스 영역과 드레인 영역으로의 불순물 도입을 동시에 행하게 된다. 따라서, 소스 영역과 드레인 영역의 형성을 위해, 다결정화와는 별도로 굳이 불순물을 고전압으로 가속하여 주입한다고 하는 공정, 더욱이 이와 함께 땀글링 본드(dangling bond) 결합이라고 하는 공정이 불필요하게 된다. 더욱이 이 때, 종래와 같이 마스크를 사용한다는 경우가 없으므로, 마스크와 게이트 전극과의 어긋남 등이 없게 되고, 정확히 소스 영역과 드레인 영역을 형성할 수 있다. 더욱이, 이온 도핑시에 있어서 고전압 하에서 가속된 불순물이나 수소 이온의 충돌에 의한 반도체의 손상의 발생도 없어진다.

또, 본 도면의 (e)에 있어서, 게이트 전극의 측면에 존재하는 다결정 실리콘층의 두께가 그 밖의 영역의 다결정 실리콘층보다 두껍기 때문에, 열처리 조건 등을 잘 제어하면 불순물인 P나 B의 농도가 기판 상면방향으로 갈수록 얇게 되고, 결과적으로 자동적으로 LDD구조를 형성하는 것도 가능해진다.

(f) 게이트 전극, 소스 영역, 드레인 영역이 형성된 투명 절연성기판 전면에서, 예컨대 SiO_2 로 구성되는 중간 절연층(5c)을 형성한다.

(g) 중간 절연층(5c)의 소스 영역(8b), 드레인 영역(9b)에 대응하는 위치에 콘택트 홀(10)을 형성하고, 나아가 이 콘택트 홀 내에 금속을 매립함으로써, 소스 전극(11b), 드레인 전극(12b)을 형성하여 박막 트랜지스터가 완성된다.

본 실시예에서는, 박막 트랜지스터의 능동층을 구성하는 실리콘 반도체층이 다결정 실리콘인 경우를 예로 들어 설명하여 왔으나, 어느 것이든 다결정 실리콘이 아닌, 비정질 실리콘이나, 실리콘 게르마늄이나 실리콘 게르마늄-탄소라도 좋다.

또, 게이트 전극 상부의 게이트 절연층은, Cr 등의 게이트 전극재료를 산화시켜서 형성하여도 좋다.

또, 마찬가지로 N 채널 트랜지스터와 P 채널 트랜지스터가 동시에 기판 상에 형성되는 경우에 관해서 설명을 했지만, 어느 쪽이든 한 쪽만이 형성되는 경우라도 좋다.

이상, 본 발명을 그 몇 개의 실시예에 기초하여 설명하여 왔으나, 본 발명은 어느 것도 이들에 한정되지 않는 것은 물론이다. 예컨대, 이하와 같이 하여도 좋다.

1) 실리콘 단결정화의 온도를 낮추기(고상(固相) 성장을 행하게 한다) 위해, 극히 미세한 Ti, Ni, Pd 등의 결정화 촉진제를 첨가하고 있다.

2) 실리콘 다결정화나 불순물의 확산을 위한 가열에 전자 빔 등 레이저 이외의 수단으로 어닐링하고 있다.

특히, 제2의 발명군에서는 전기 히터에 의한 가열이나 이를 병용하고 있다.

3) 액정표시장치의 구동회로부는, 편측 실장은 아니고, 표시부 상하좌우의 테두리 전체에 형성되어 있다.

4) 제5 실시예와 제6 실시예를 조합하고 있다. 즉, 불순물은 기초층으로부터 확산되어 형성되고, 더불어서 반도체 입자의 길이 성장방향은 게이트 길이방향과 소정의 각을 이루도록 하고 있다.

5) 액정표시장치는 반사형 등 다른 타입으로 하고 있다.

산업상 이용 가능성

이상의 설명에서 명백한 바와 같이, 본 발명에 따르면 비정질 반도체 박막, 특히 실리콘 박막을 엑시머 레이저에 의해 어닐링하여 얻어지는 다결정 반도체 박막을, 이것을 구성하는 미결정(微結晶)을 가늘고 긴 형상으로 하고, 더욱이 결정의 길이방향과 제작하는 TFT의 게이트 길이방향을 특정한 각도로 함으로써, 각 TFT의 전계효과 이동도가 높고, 각 TFT의 특성이 균일화하게 되는 등의 특징을 가지는 고성능의 TFT 어레이를 제작할 수 있게 된다. 이 때문에, 대화면의 액정표시장치에 대하여, 그 장치의 용도를 고려하여, 필요한 성질을 충분히 만족하는 TFT를 얻을 수 있게 된다.

또, 바텀 게이트형 반도체에 있어서, 불순물을 기초층으로부터 열확산에 의해 포함시키려고 있기 때문에, 고전압에 의한 불순물 이온의 주입을 위한 때려 넣음이나 이에 동반하는 열처리 공정이 불필요하게 되고, 더불어 고전압으로 가속된 이온의 충돌에 의한 실리콘 반도체층의 손상이 없어진다. 또, 소스 영역과 드레인 영역을 게이트 전극과 정확히 대응한 위치에서 형성하는 것이 가능해진다.

또, 투명 절연성기판으로서 저렴한 유리기판이 이용되고 있으나, 불순물을 함유하는 기초층으로서 PSG층이나 BSG층을 이용하면, 박막 트랜지스터의 특성에 악영향을 미치는 알칼리 금속 등이 유리기판으로부터 실리콘 반도체층으로 확산하는 것도 확실히 방지할 수 있다.

따라서, 신뢰성 및 특성이 우수한 TFT를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

떠 모양 또는 장방형 그리고 짧은쪽 방향으로 에너지 밀도 분포를 가지고 길이방향으로는 균일한 빔을 길이방향에 직교하는 방향으로 주사하는 레이저 어닐링에 의해, 기판상에 축적된 비정질 반도체 재료를 입자가 긴 타원체 모양으로 되도록 결정화하여 형성된 다결정 반도체 박막을 능동영역으로 하는 박막 트랜지스터에 있어서,

상기 반도체 박막의 결정립은, 긴 지름이 3~5미크론, 짧은 지름이 0.5~2미크론인 긴 타원체 모양으로 이방(異方) 성장되어 있고, 더욱이 그 길이 성장방향이 기판 면내 각 반도체 소자의 소스 전극과 드레인 전극을 연결하는 게이트 길이 방향에 대하여 일정한 방향을 향하고 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

제1항에 있어서,

상기 다결정 실리콘 박막의 결정립의 길이 성장방향이, 박막 트랜지스터의 게이트 길이방향에 대하여 평행한 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제2항에 있어서,

상기 다결정 반도체 박막은, 결정립이 게이트 길이 1미크론당 0.5~2개 포함되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제1항 또는 제2항에 있어서,

상기 다결정 반도체 박막은, 그 결정립의 길이 성장방향이 게이트 길이보다 긴 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

제4항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

제1항에 있어서,

상기 다결정 실리콘 박막의 결정립의 길이 성장방향이, 박막 트랜지스터의 게이트 길이방향과 직교하고 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 8.

제7항에 있어서,

상기 다결정 반도체 박막은, 결정립이 게이트 길이 1미크론당 5~20개 포함되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

제7항 또는 제8항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 10.

제1항에 있어서,

상기 다결정 실리콘 박막의 결정립의 길이 성장방향이 박막 트랜지스터의 게이트 길이방향에 대해 45° 경사져 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 11.

제10항에 있어서,

상기 다결정 반도체 박막은, 결정립이 게이트 길이 1미크론당 1~10개 포함되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 12.

제10항 또는 제11항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 13.

며 모양 또는 장방형 그리고 짧은쪽 방향으로 에너지 밀도분포를 가지고 길이방향으로는 균일한 빔을 길이방향에 대해 직교하는 방향으로 주사하는 레이저 어닐링에 의해, 기판 상에 축적된 비정질 반도체 재료를 결정화하여 형성된 다결정 반도체 박막을 능동영역으로 하는 액정표시장치의 화소부, 주변 구동회로부의 적어도 한 쪽 박막 트랜지스터에 있어서,

상기 반도체 박막의 결정립은, 긴 지름이 3~5미크론, 짧은 지름이 0.5~2미크론인 긴 타원체 모양으로 이방 성장되어 있고, 또한 그 길이 성장방향이 기판 면내 각 반도체 소자의 소스 전극과 드레인 전극을 연결하는 게이트 길이방향에 대하여 일정한 방향을 향해 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 14.

제13항에 있어서,

상기 다결정 실리콘 박막의 결정립의 길이 성장방향이 박막 트랜지스터의 게이트 길이방향에 대하여 평행한 것을 특징으로 하는 박막 트랜지스터.

청구항 15.

제14항에 있어서,

상기 다결정 반도체 박막은, 결정립이 게이트 길이 1미크론당 0.5~2개 포함되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 16.

제13항 또는 제14항에 있어서,

상기 다결정 반도체 박막은, 그 결정립의 길이 성장방향의 길이가 게이트 길이보다 긴 것을 특징으로 하는 박막 트랜지스터.

청구항 17.

제13항 내지 제15항 중 어느 한 항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 18.

제16항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 19.

제13항에 있어서,

상기 다결정 반도체 박막의 결정립의 길이 성장방향이 박막 트랜지스터의 게이트 길이방향에 대해 직교하고 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 20.

제19항에 있어서,

상기 다결정 반도체 박막은, 결정립이 게이트 길이 1미크론당 5~20개 포함되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 21.

제19항 또는 제20항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 22.

제13항에 있어서,

상기 다결정 실리콘 박막의 결정립의 길이 성장방향이 박막 트랜지스터의 게이트 길이방향에 대해 45° 경사져 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 23.

제22항에 있어서,

상기 다결정 반도체 박막은, 결정 입자 게이트 길이 1미크론당 1~10개 포함되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 24.

제22항 또는 제23항에 있어서,

상기 다결정 반도체 박막은, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소인 것을 특징으로 하는 박막 트랜지스터.

청구항 25.

기판 상에 축적된 비정질 반도체 재료에 레이저를 조사하여 어닐링하고, 입자가 주사방향으로는 3~5미크론으로 길고, 이에 직교하는 방향으로는 0.5~2미크론으로 짧은 타원체 모양으로 이방성장시켜 결정화한 다결정 반도체 박막을 능동영역으로 하는 박막 트랜지스터의 제조방법에 있어서,

상기 어닐링하기 위한 레이저 빔은,

그 형상이 띠 모양 또는 장방형이고,

그 에너지 밀도분포는 길이방향으로는 균일하고, 짧은쪽 방향으로는 중앙부가 높으며 적어도 주사방향 반대쪽은 낮고,

그 주사방향은 길이방향에 대해 직교하는 방향인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 26.

제25항에 있어서,

상기 레이저 빔의 주사방향은 게이트 길이방향인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 27.

제26항에 있어서,

상기 기판 상에 축적하는 비정질 반도체 재료로서, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어떤 것을 선정하는 실리콘계 반도체 재료 선정 단계를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 28.

제25항에 있어서,

상기 레이저 빔의 주사방향은, 게이트 길이방향에 대해 직교하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 29.

제28항에 있어서,

상기 기판상에 축적하는 비정질 반도체 재료로서, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나를 선정하는 실리콘계 반도체 재료 선정단계를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 30.

제25항에 있어서,

상기 레이저 빔의 주사방향은, 게이트 길이방향에 대하여 45° 경사져 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 31.

제30항에 있어서,

상기 기판 상에 축적하는 비정질 반도체 재료로서, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나를 선정하는 실리콘계 반도체 재료 선정 단계를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 32.

기판 상에 축적된 비정질 반도체 재료에 레이저를 조사하여 어닐링하고, 입자가 주사방향으로는 3~5미크론으로 길고, 이에 직교하는 방향으로 0.5~2미크론으로 짧은 긴 타원체 모양으로 이방 성장시켜 결정화한 다결정 반도체 박막을 능동영역으로 하는 액정표시장치의 화소부, 주변 구동회로부 중 적어도 한 쪽 박막 트랜지스터의 제조방법에 있어서,

상기 어닐링하기 위한 레이저 빔은,

그 형상이 띠 모양 또는 장방형이고,

그 에너지 밀도분포는 길이방향으로는 균일하고, 짧은쪽 방향으로 중양부가 높으며 적어도 주사방향 반대쪽은 낮고,

그 주사방향은 길이방향으로 직교하는 방향인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 33.

제32항에 있어서,

상기 레이저 빔의 주사방향은 게이트 길이방향인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 34.

제33항에 있어서,

상기 기판 상에 축적하는 비정질 반도체 재료로서, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나를 선정하는 실리콘계 반도체 재료 선정 단계를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 35.

제32항에 있어서,

상기 레이저 빔의 주사방향은, 게이트 길이방향에 대해 직교하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 36.

제35항에 있어서,

상기 기판 상에 축적하는 비정질 반도체 재료로서, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나를 선정하는 실리콘계 반도체 재료 선정단계를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 37.

제32항에 있어서,

상기 레이저 빔의 주사방향은, 게이트 길이방향에 대하여 45° 경사져 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 38.

제37항에 있어서,

상기 기판 상에 축적하는 비정질 반도체 재료로서, 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나를 선정하는 실리콘계 반도체 재료 선정 단계를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 39.

제32항 내지 제36항 중 어느 한 항에 있어서,

상기 레이저에 의한 어닐링은,

며 모양 또는 장방형 모양의 레이저 빔의 길이방향의 길이가,

기판 상 화소부의 주사방향의 한 변, 그 주변의 소스측 및 드레인측 구동회로부의 주사방향의 한 변보다 긴 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 40.

제37항 또는 제38항에 있어서,

상기 레이저에 의한 어닐링은,

며 모양 또는 장방형 모양의 레이저 빔의 길이방향의 길이가,

기판 상 사각으로 형성된 화소부와 그 테두리 외주변의 소스측 및 드레인측의 구동회로부를 동시에 조사 가능한 길이를 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 41.

기판 표면에 형성된 불순물을 포함하는 기초 절연막과,

금속 게이트 전극 상의 불순물을 포함하지 않는 채널 영역과, 상기 기초 절연막으로부터 확산되어 온 불순물을 포함하는 소스 영역과 드레인 영역으로 구성되는 반도체층을 가지고 있는 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 42.

기판에 형성된 기초 절연층과, 기초 절연층 상에 형성된 금속 게이트 전극과, 상기 금속 게이트 전극의 측면에 형성된 게이트 측벽 절연층과, 금속 게이트 전극 상에 형성된 게이트 절연층과, 기초 절연층과, 게이트 측벽 절연층 및 게이트 절연층을 덮도록 형성된 반도체층을 가지는 바텀 게이트형 박막 트랜지스터에 있어서,

상기 기초 절연층은 그 상부에 형성된 트랜지스터의 도전형을 결정하는 불순물을 함유하는 불순물 함유 기초층이고,

상기 반도체층의 소스 영역 및 드레인 영역은, 그 하면에 접해 있는 상기 기초층으로부터, 그 내부에 포함되어 있는 불순물이 확산되어 형성된 확산형성 소스 영역 및 확산형성 드레인 영역인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 43.

제42항에 있어서,

상기 기판은 유리기판이고,

상기 기초 절연층은,

상기 유리기판 중에 함유되는 유해 물질이, 특히 반도체층의 어닐링시에 그 내부에 확산되어 가는 것을 방지하는 기능을 가지는 유해물질 확산저해 기초 절연인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 44.

제42항 또는 제43항에 있어서,

상기 기초 절연층은, BSG층 또는 PSG층인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 45.

제42항 또는 제43항에 있어서,

상기 금속 게이트 전극은,

W, Mo, Cr 또는 Ti 등의 고용점이며 가열에 의해 절연성 산화물을 용이하게 형성하는 금속으로 구성된 내열 양(良)산화성 금속 게이트 전극이고,

상기 게이트 측벽 절연층은,

상기 내열 양산화성 금속 게이트 전극을 산화시켜 형성된 산화물 형성 게이트 측벽 절연막이며,

상기 게이트 절연층은,

상기 내열 양산화성 금속 게이트 전극을 산화시켜 형성된 산화물 형성 게이트 절연층인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 46.

제44항에 있어서,

상기 금속 게이트 전극은,

W, Mo, Cr 또는 Ti 등의 고용점이며 가열에 의해 절연성 산화물을 용이하게 형성하는 금속으로 구성된 내열 양(良)산화성 금속 게이트 전극이고,

상기 게이트 측벽 절연층은,

상기 내열 양산화성 금속 게이트 전극을 산화시켜 형성된 산화물 형성 게이트 측벽 절연막이며,

상기 게이트 절연층은,

상기 내열 양산화성 금속 게이트 전극을 산화시켜 형성된 산화물 형성 게이트 절연층인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 47.

제41항 내지 제43항 중 어느 한 항에 있어서,

상기 반도체층은 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 48.

제44항에 있어서,

상기 반도체층은 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 49.

제45항에 있어서,

상기 반도체층은 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소 중의 어느 하나인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터.

청구항 50.

기판 표면에 불순물을 포함하는 기초 절연막을 형성하는 기초 절연막 형성 단계와,

형성된 기초 절연막 상의 소정 위치에 금속 게이트 전극을 형성하는 금속 게이트 전극 형성단계와,

직어도 금속 게이트 전극의 소스 전극측과 드레인 전극측의 측벽 및 필요한 그 밖의 측벽 및 상면에 절연막을 형성하는 게이트 전극부 절연막 형성단계와,

기판 상 절연막이 형성된 금속 게이트 전극을 덮도록 비정질 반도체 박막을 형성하는 비정질 반도체 박막 형성단계와,

형성된 비정질 반도체막을 레이저 어닐링에 의해 가열하고, 그 때 상기 금속 게이트 전극을 마스크로 하여 상기 기초막으로부터 불순물을 가열된 비정질 반도체 박막 또는 다결정화된 반도체 박막중에 확산시켜서 소스 전극부와 드레인 전극부를 형성하는 불순물 확산단계를 가지고 있는 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터의 제조방법.

청구항 51.

제50항에 있어서,

상기 비정질 반도체 박막 형성단계는,

실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소의 비정질 박막을 형성하는 실리콘계 반도체 박막 형성단계인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터의 제조방법.

청구항 52.

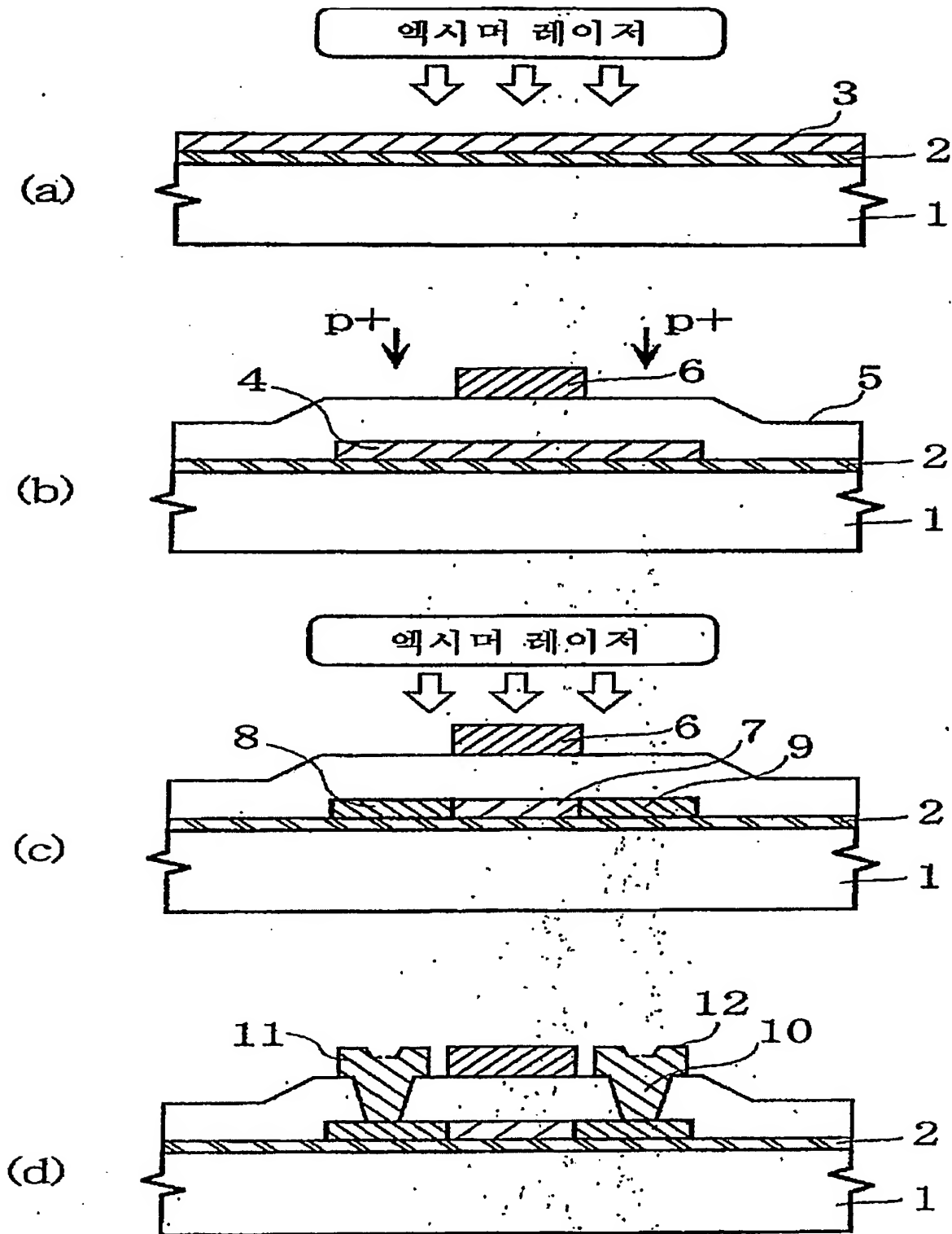
제50항 또는 제51항에 있어서,

상기 불순물 확산단계는,

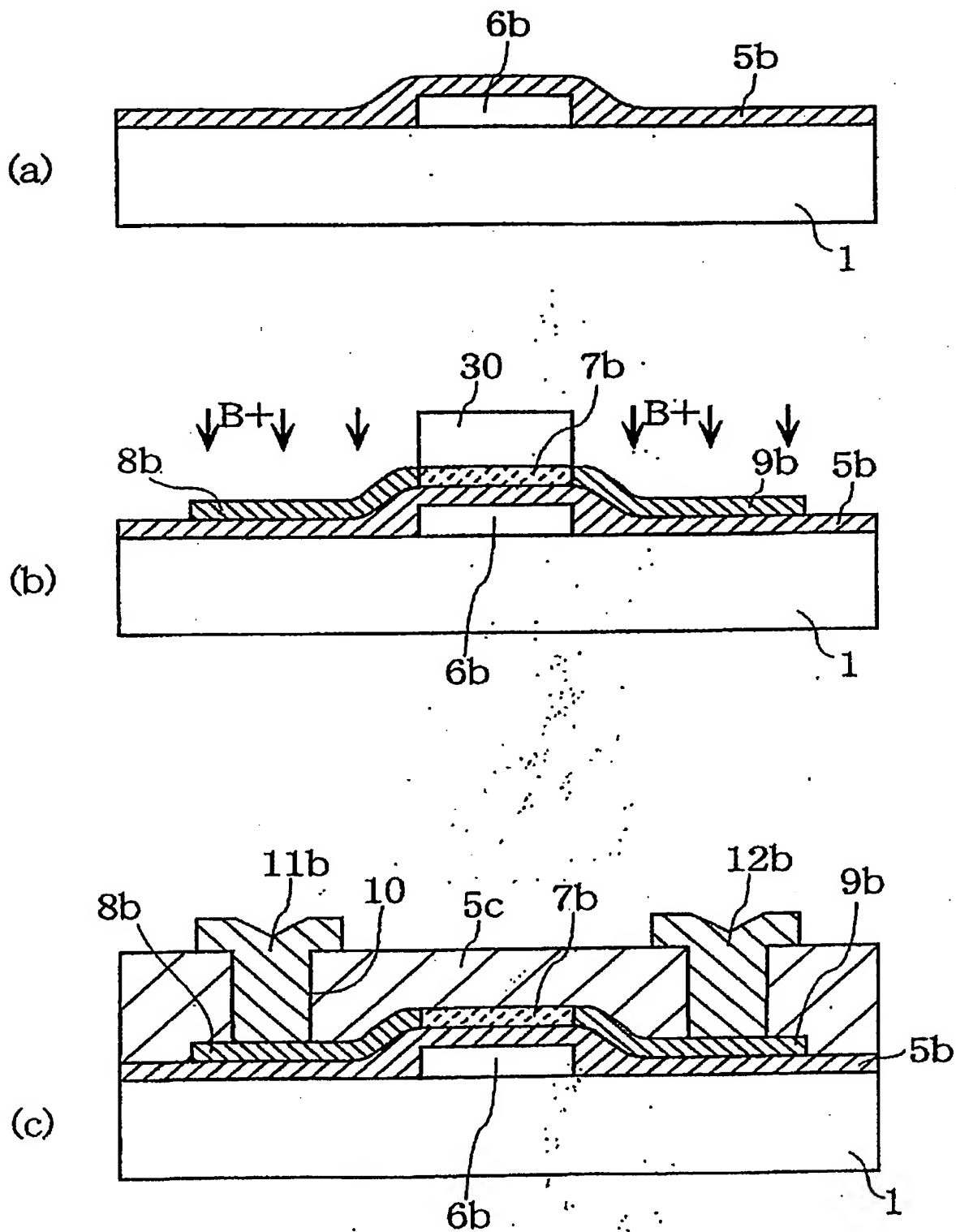
비정질 반도체를 레이저 어닐링에 의해 다결정화하는 레이저 어닐링단계인 것을 특징으로 하는 바텀 게이트형 박막 트랜지스터의 제조방법.

도면

도면 1

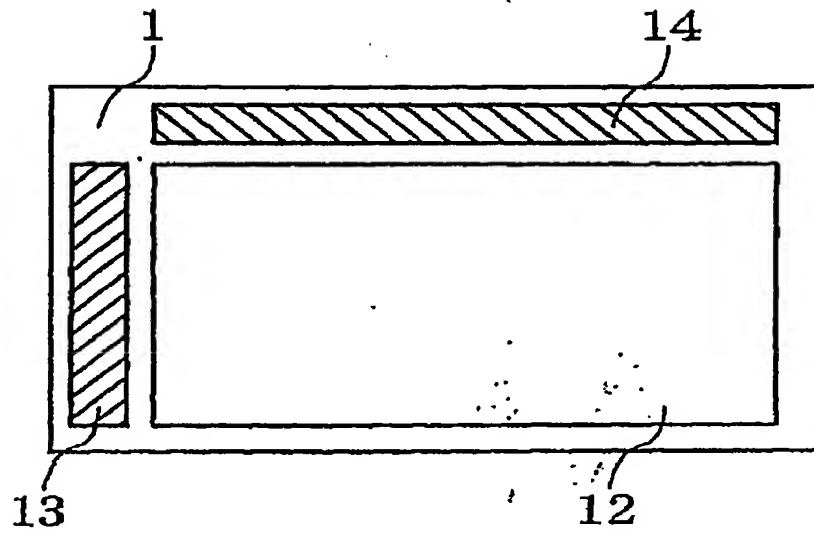


도면 2'

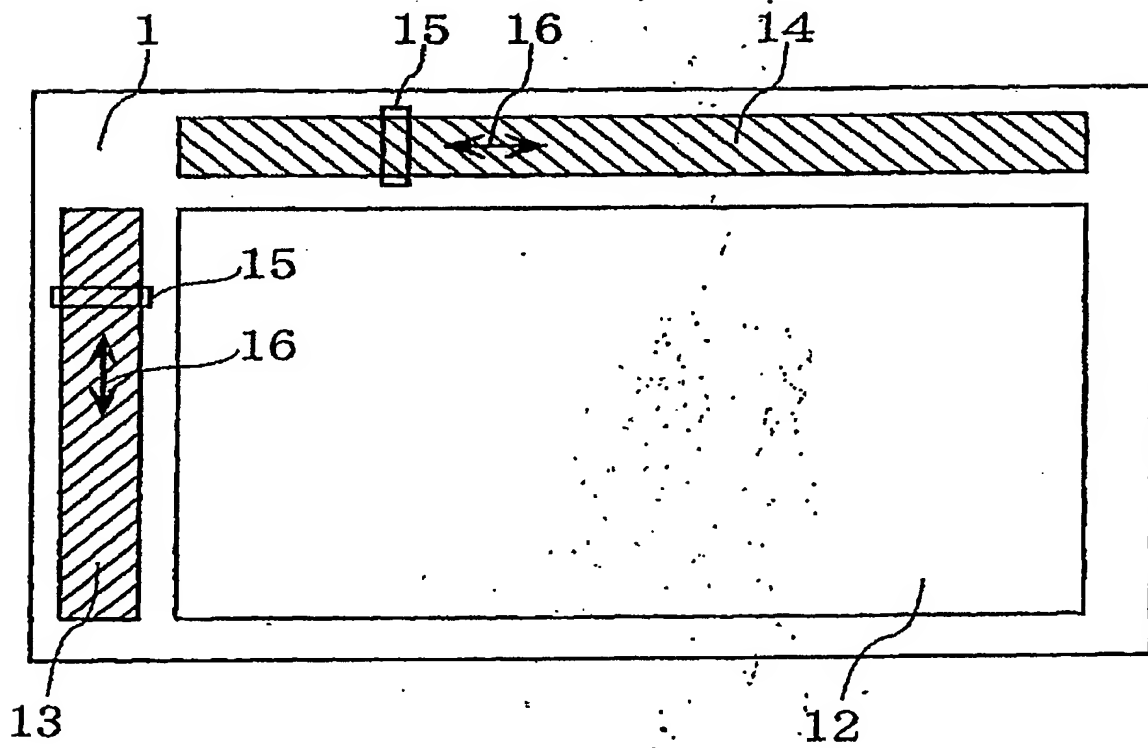


도면 3

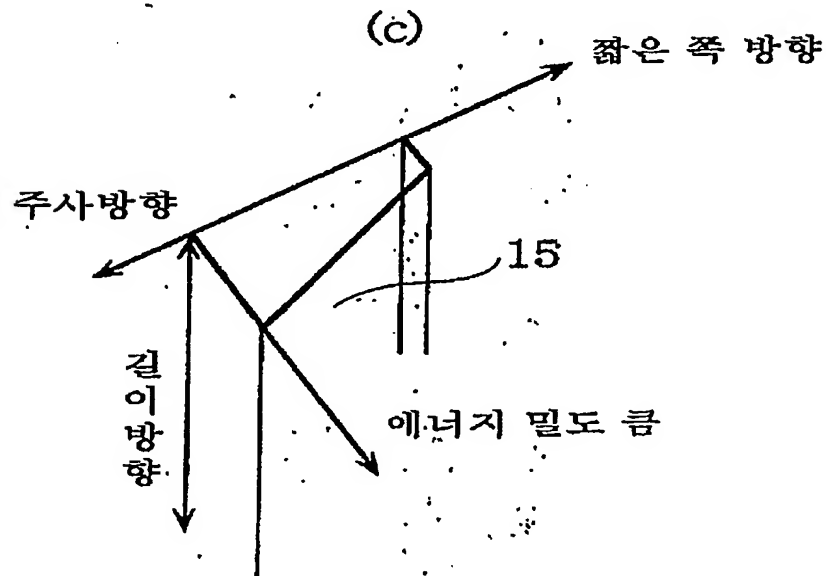
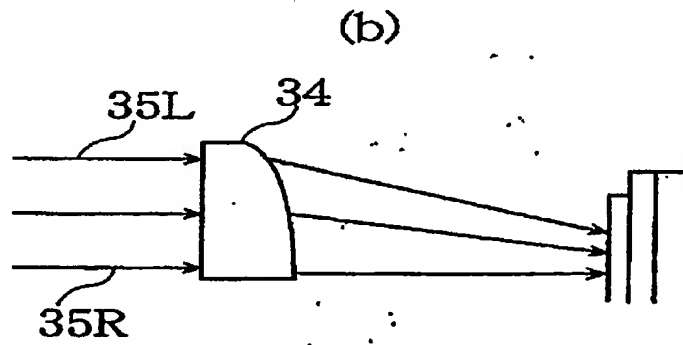
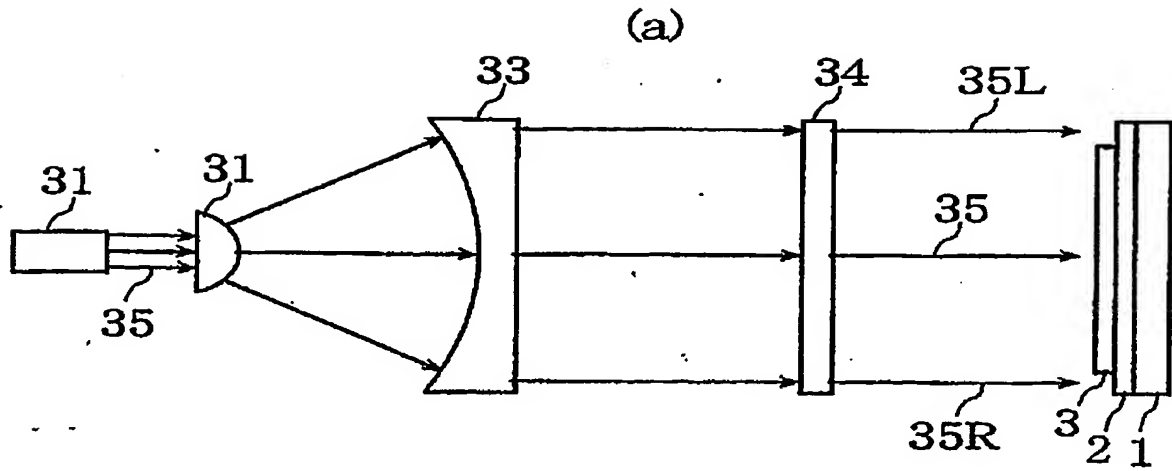
(a)



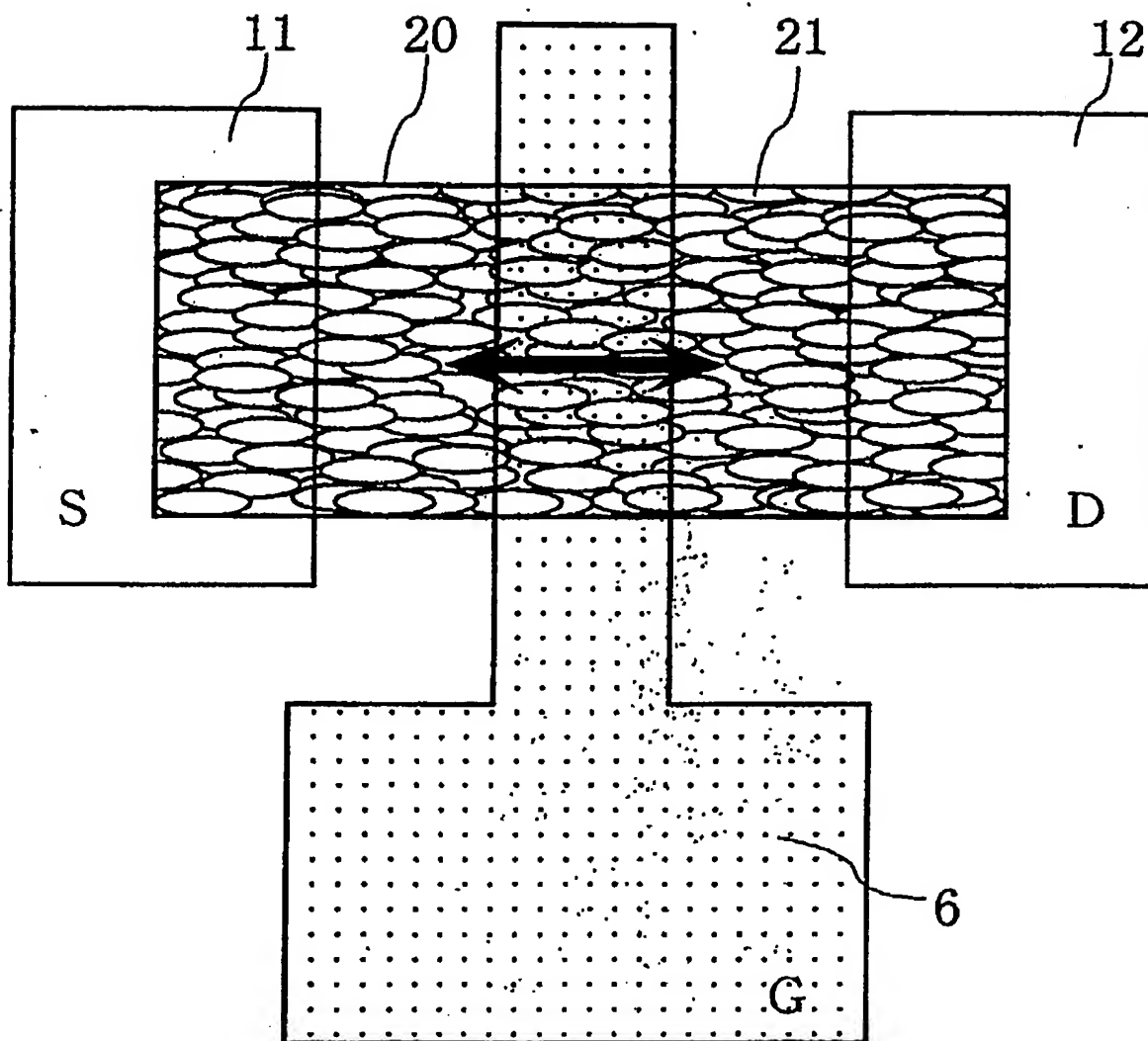
(b)



도면 4.

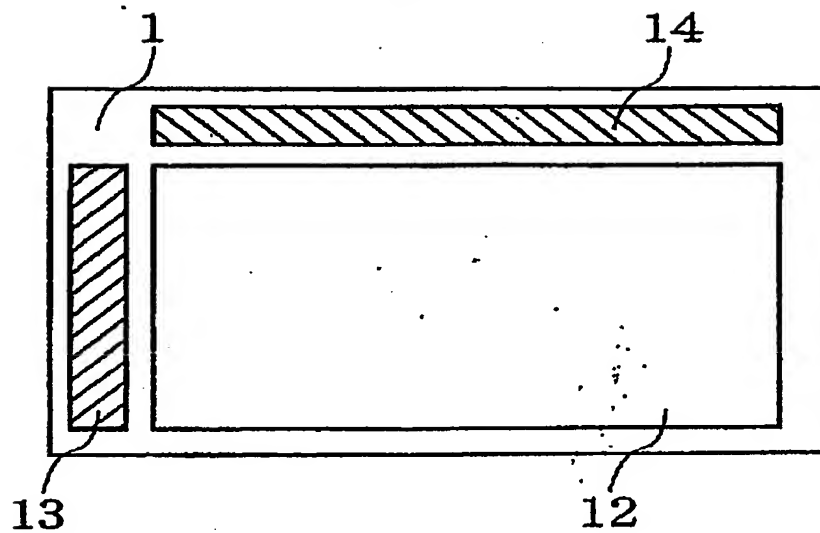


도면 5

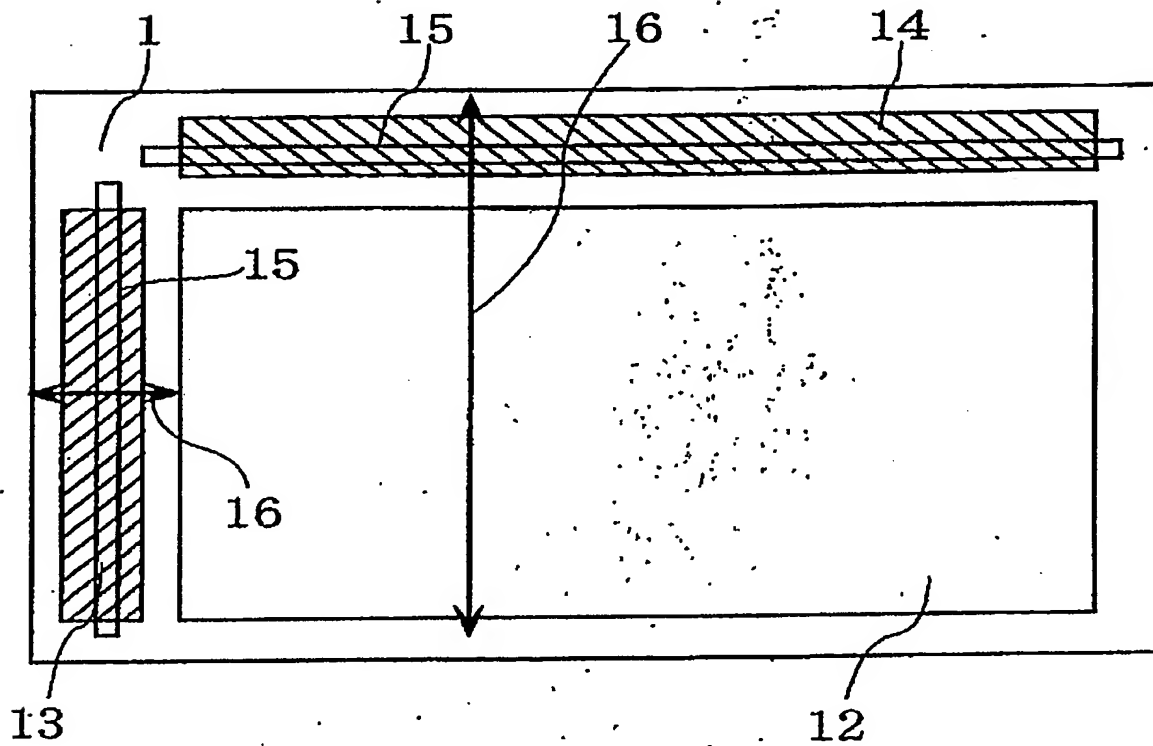


도면 7

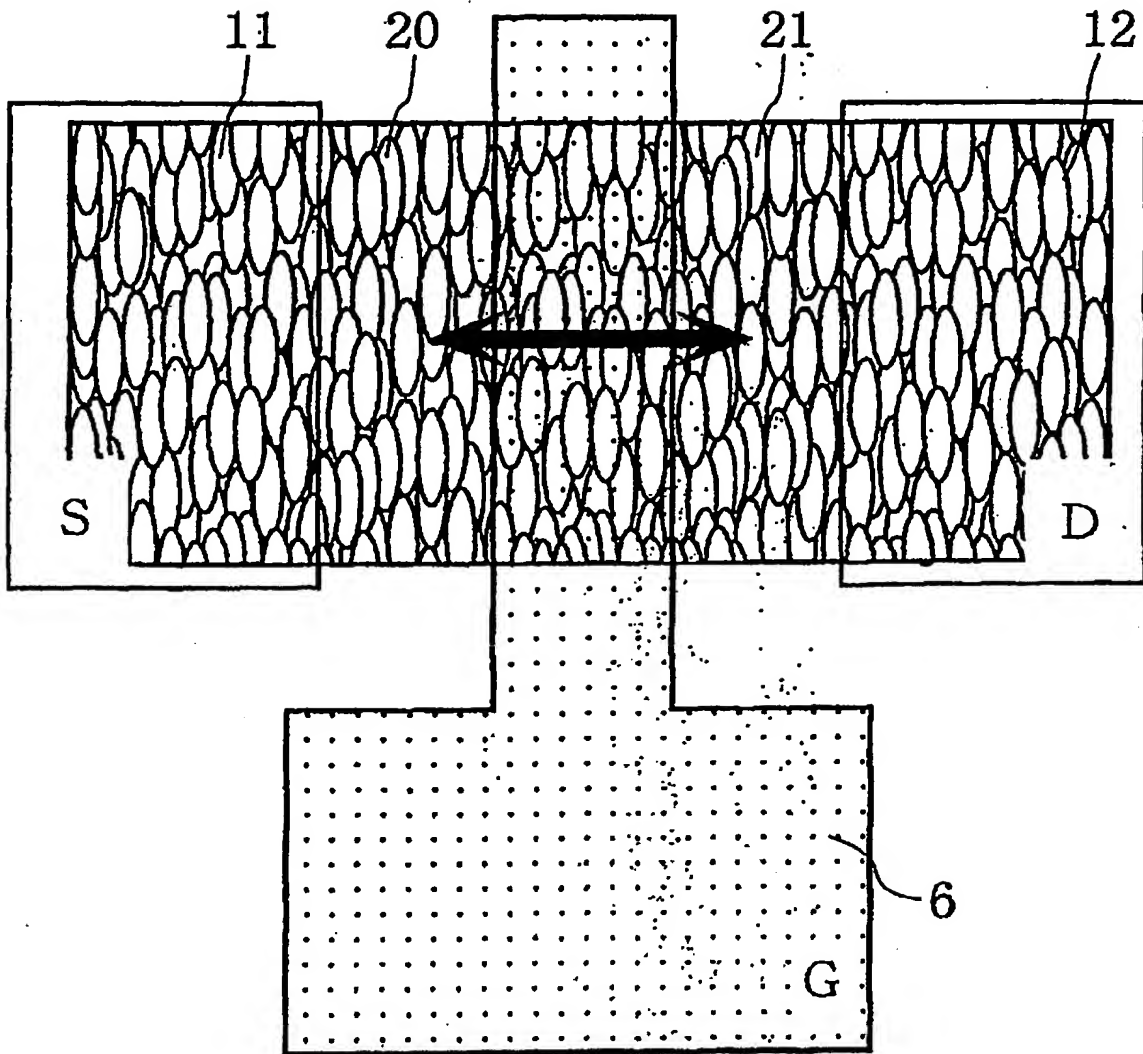
(a)



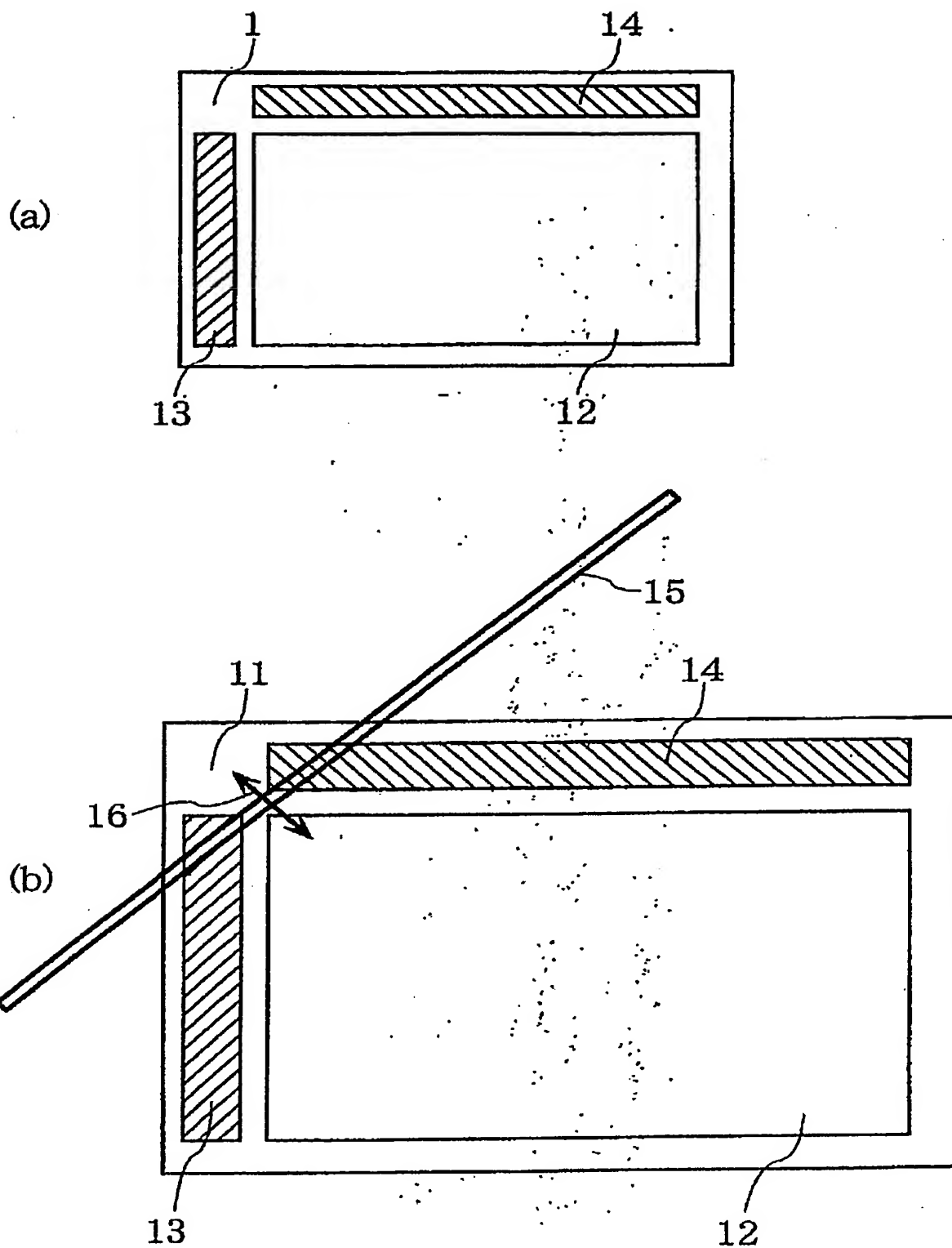
(b)



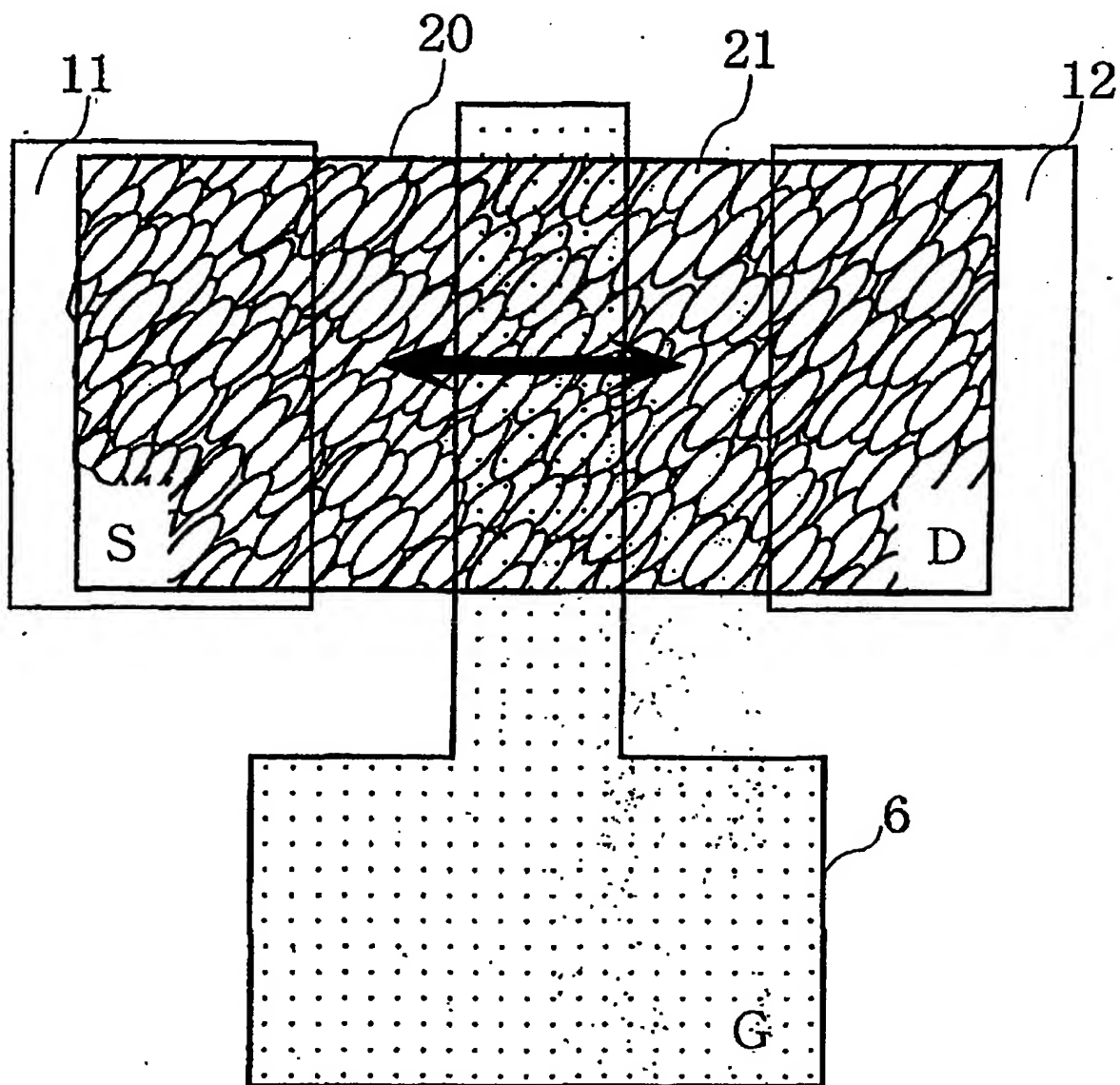
도면 8



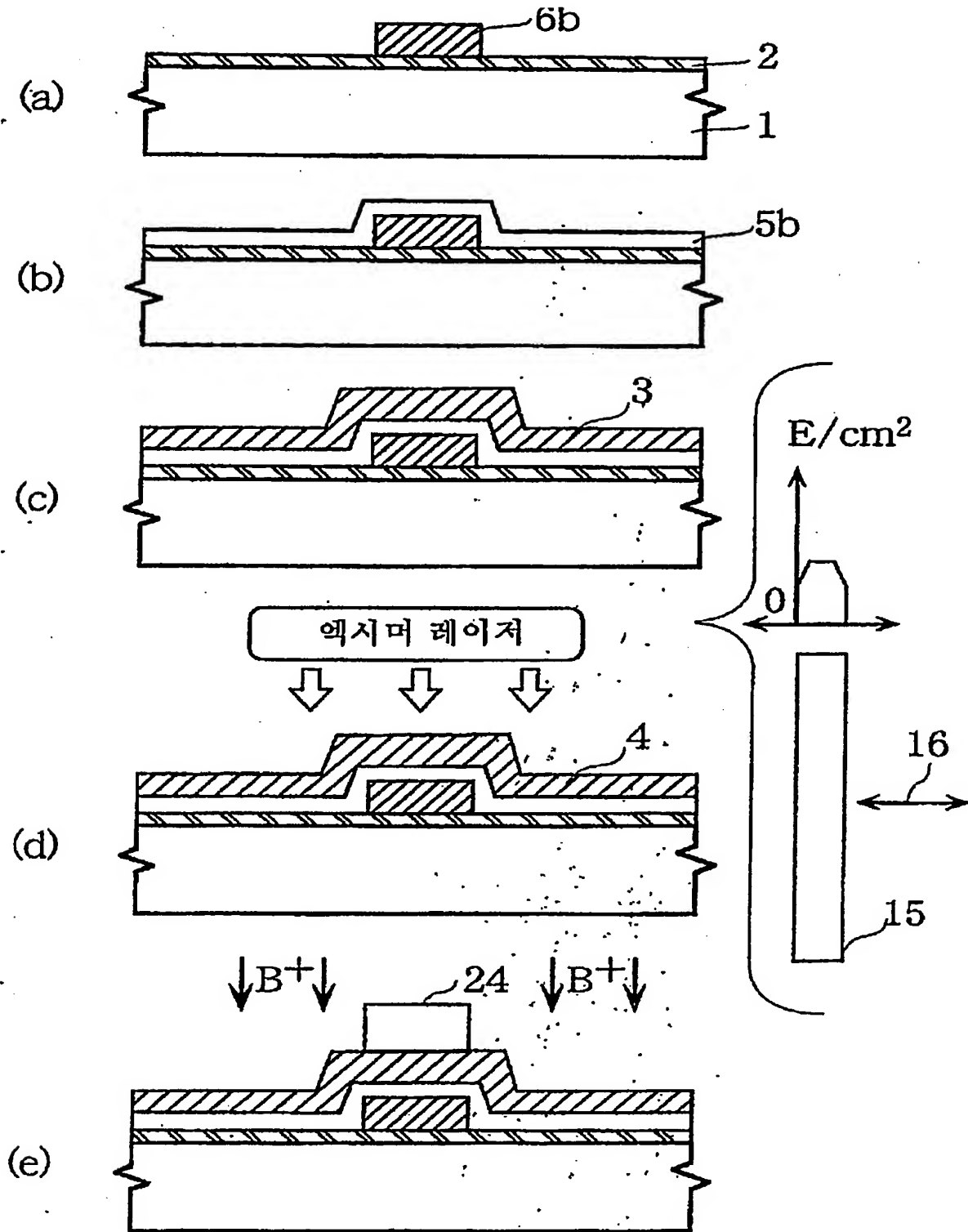
도면 9



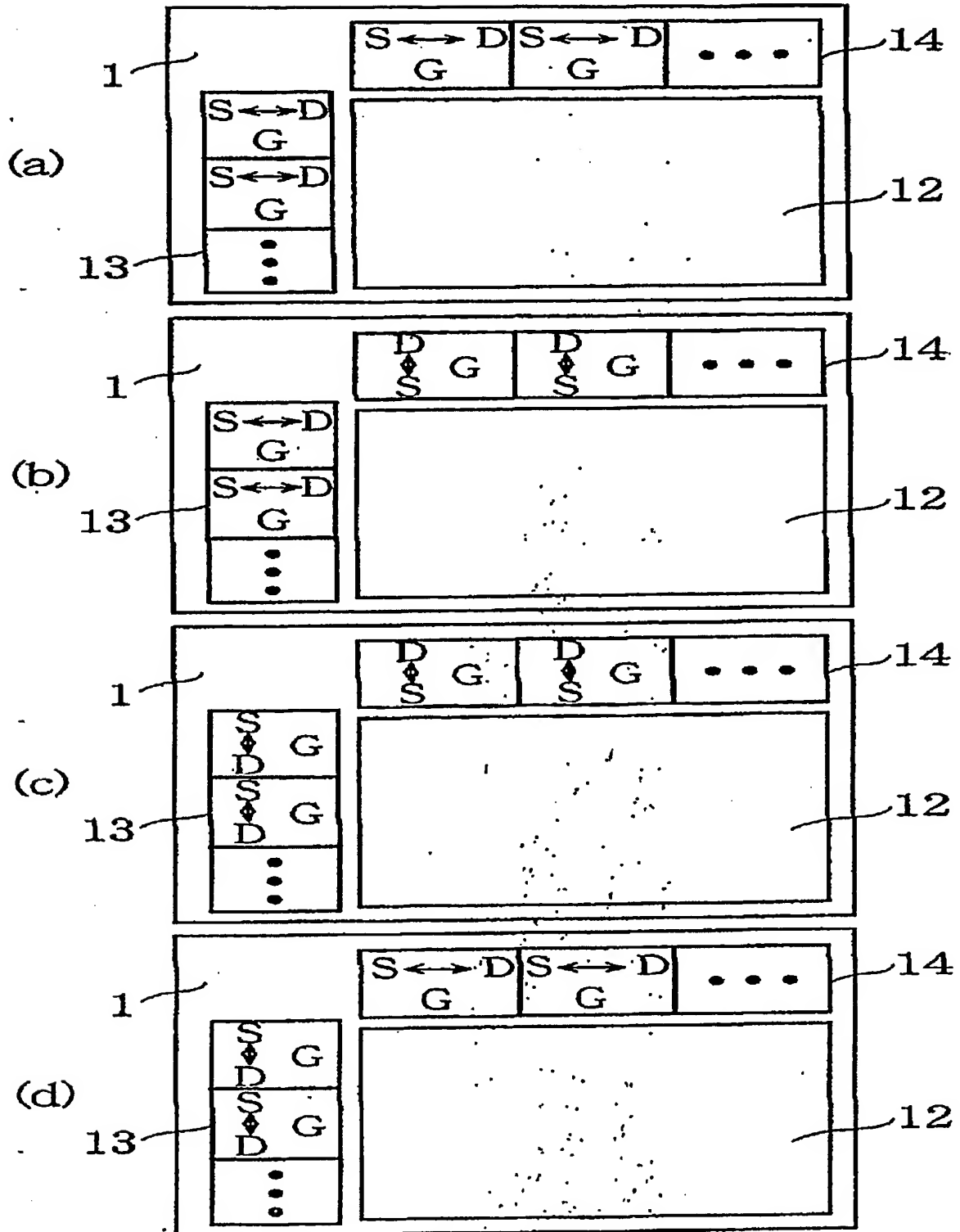
도면 10



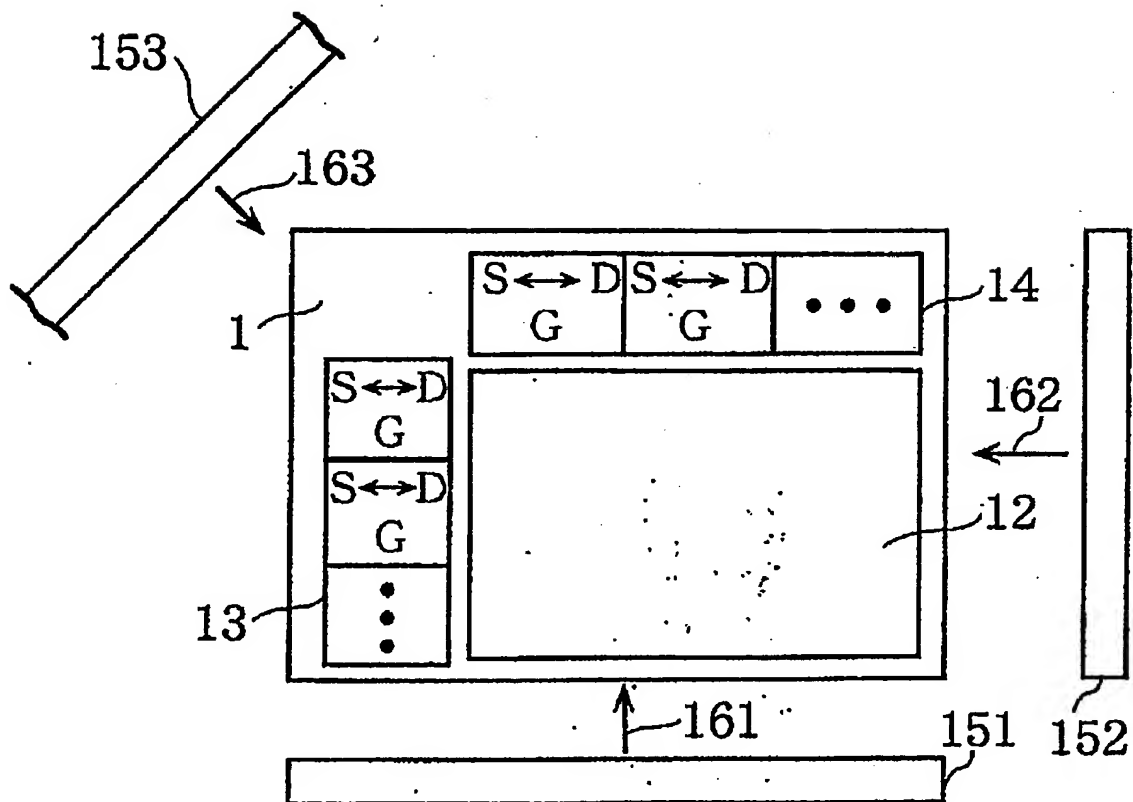
도면 11



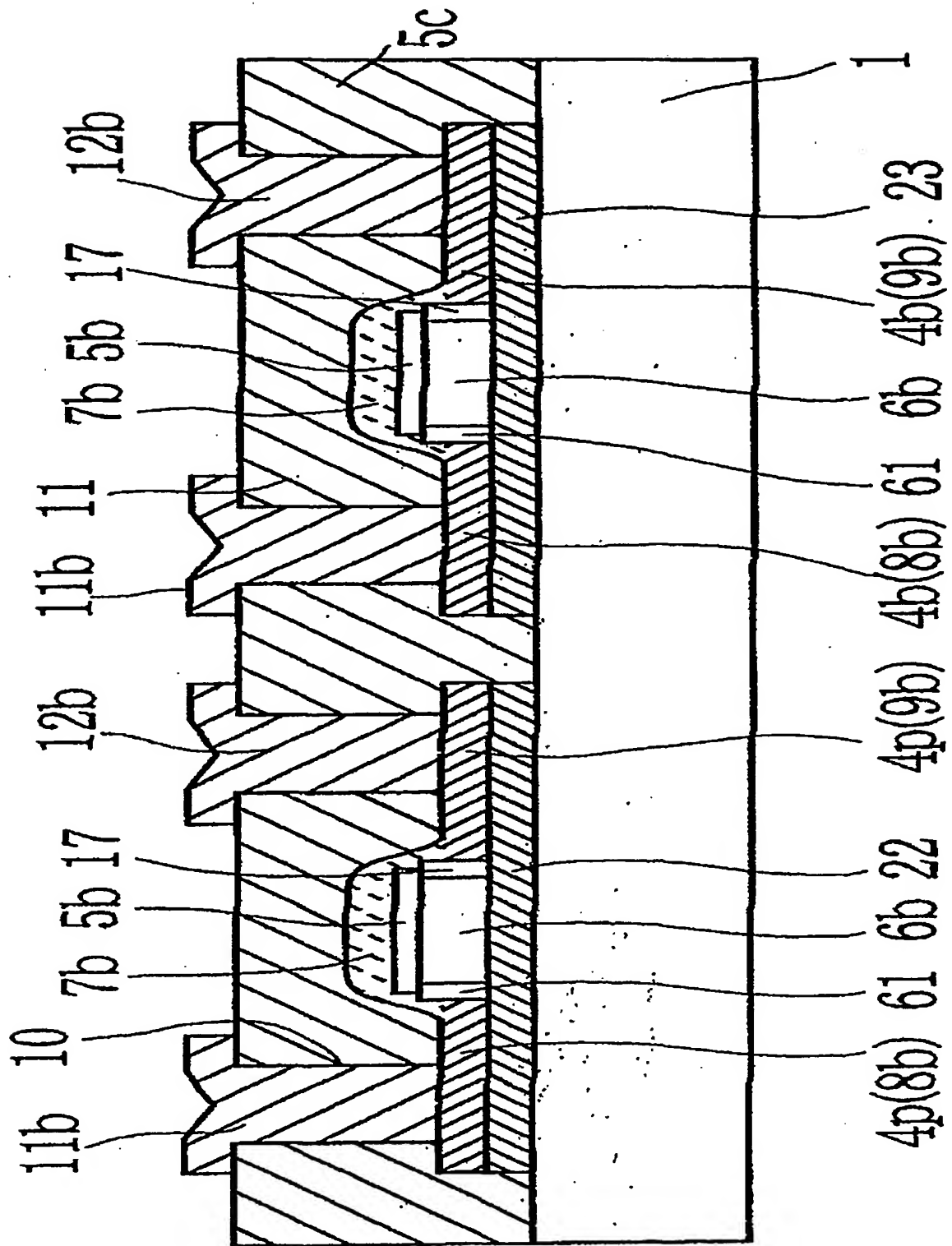
도면 12



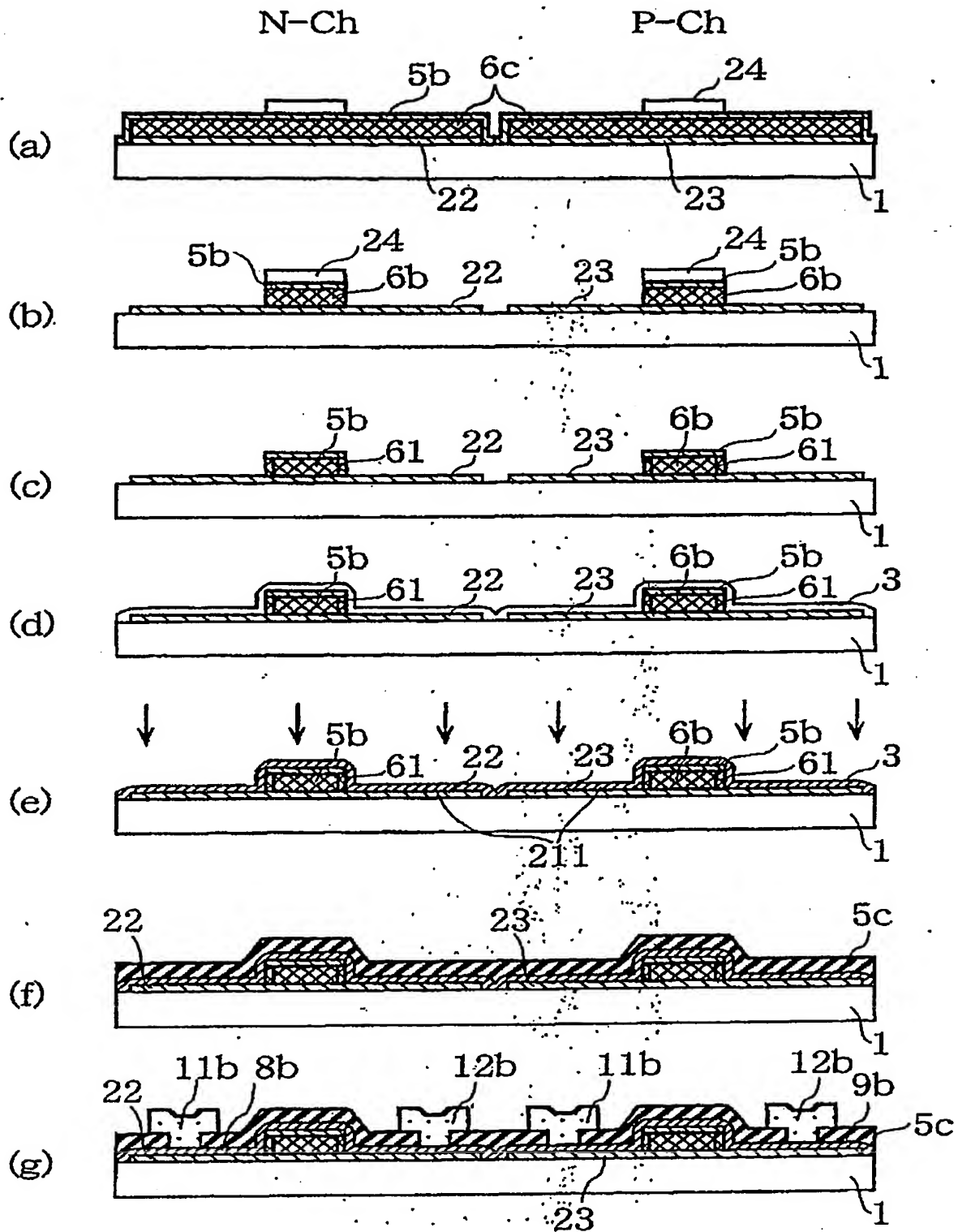
도면 13



도면 14



도면 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.